

**CENTRO FEDERAL DE EDUCAÇÃO TECNOLÓGICA DE
SANTA CATARINA – UNIDADE FLORIANÓPOLIS**

**DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
CURSO SUPERIOR DE TECNOLOGIA
EM SISTEMAS DIGITAIS**

LEONARDO GILBERTO PINHEIRO

**SISTEMA DE ALIMENTAÇÃO ININTERRUPTA
CONTROLADO POR PROCESSADOR DE
SINAIS DIGITAIS**

FLORIANÓPOLIS, 2007

	LEONARDO GILBERTO PINHEIRO
TCC CSTSD CEFET/SC	
LEONARDO GILBERTO PINHEIRO	SISTEMA DE ALIMENTAÇÃO ININTERRUPTA CONTROLADO POR PROCESSADOR DE SINAIS DIGITAIS FLORIANÓPOLIS, 2007
2007	

**CENTRO FEDERAL DE EDUCAÇÃO TECNOLÓGICA DE
SANTA CATARINA – UNIDADE FLORIANÓPOLIS**

**DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
CURSO SUPERIOR DE TECNOLOGIA
EM SISTEMAS DIGITAIS**

**SISTEMA DE ALIMENTAÇÃO ININTERRUPTA
CONTROLADO POR PROCESSADOR DE
SINAIS DIGITAIS**

Trabalho de Conclusão de Curso
submetido ao Centro Federal de
Educação Tecnológica de Santa Catarina
como parte dos requisitos para obtenção
do título de Tecnólogo em Sistemas
Digitais.

Professor Orientador Dr. Flávio Alberto
Bardemarker Batista.

Professor Co-Orientador Dr. Clóvis
Antônio Petry.

LEONARDO GILBERTO PINHEIRO

FLORIANÓPOLIS, 2007

SISTEMA DE ALIMENTAÇÃO ININTERRUPTA CONTROLADO POR PROCESSADOR DE SINAIS DIGITAIS

LEONARDO GILBERTO PINHEIRO

Este trabalho foi julgado adequado para obtenção do Título de Tecnólogo em Sistemas Digitais e aprovado na sua forma final pela banca examinadora do Curso Superior de Tecnologia em Sistemas Digitais do Centro Federal de Educação Tecnológica de Santa Catarina.

Professor Flávio Alberto Bardemaker Batista, Dr.
Orientador

Professor Clóvis Antônio Perty, Dr.
Co-Orientador

Banca Examinadora:

Professor Flávio Alberto Bardemaker Batista, Dr.
Presidente da Banca

Professor Carlos Gontarski Esperença, Dr.

Professor Muriel Bitencourt de Liz, Dr.

AGRADECIMENTOS

Gostaria de agradecer aos meus pais pelo suporte, em todos os sentidos, para que mais esta etapa se concretizasse.

Ao professor Flávio Batista pela dedicação e competência na orientação deste trabalho.

Aos amigos Cleber Jorge Amaral, Jerônimo Paz Lopez e Tiago Pereira pelo companheirismo e dedicação durante todo o curso e também fora dele.

À minha namorada Mariane, pelo incentivo, apoio e carinho.

A toda equipe do CEFET/SC, professores e funcionários, que auxiliaram não apenas na formação acadêmica, mas também na formação de cidadãos mais conscientes e questionadores.

LISTA DE SIGLAS

CA – Corrente Alternada.

CA-CC – Corrente Alternada para Corrente Contínua.

CC – Corrente Contínua.

CC-CA – Corrente Contínua - Corrente Alternada.

CC-CC – Corrente Contínua - Corrente Contínua.

DSP – Digital Signal Processor.

E²PROM – Eletrically Erasable and Programmable Read Only.

IGTB - Insulated Gate Bipolar Transistor.

I/O – In/Out.

MIPS – Millions of Instructions Per Second.

MOSFET - Metal Oxide Semiconductor Field Effect Transistor.

PFC – Power Factor Correction.

PWM - Pulse Width Modulation.

RAM – Random Access Memory.

UPS - Uninterruptible Power Supply.

LISTA DE ILUSTRAÇÕES

FIGURA 1 – Configuração Linha Prioritária.....	15
FIGURA 2 – Configuração Inversor Prioritário.....	16
FIGURA 3 – Configuração Interativa com a Linha.....	17
FIGURA 4 – Diagrama de Blocos da UPS Online de tripla conversão.....	19
FIGURA 6 – Topologia da UPS On-line de tripla conversão.....	20
FIGURA 7 – Diagrama de blocos da UPS controlada pelo DSP.....	21
FIGURA 8 – Inversor CC-CA em meia ponte.....	22
FIGURA 9 – Funcionamento do Inversor CC-CA Meia Ponte.....	23
FIGURA 10 – Inversor CC-CA em ponte completa.....	24
FIGURA 11 – Funcionamento do Inversor em ponte completa.....	24
FIGURA 12 – Sinais de Comparação e Tensão de saída sem filtragem no inversor CC-CA.....	26
FIGURA 13 – Topologia do Conversor CC-CC Boost.....	27
FIGURA 14 – Característica Ideal de Transferência Estática do Conversor Boost.....	28
FIGURA 15 – Etapa PFC.....	30
FIGURA 16 – Tensão e Corrente de Entrada do PFC.....	31
FIGURA 17 – Topologia do Conversor Buck.....	34
FIGURA 18 – Formas de onda do conversor buck em modo de operação contínua.....	34
FIGURA 19 – Fontes Auxiliares.....	36
FIGURA 20 – Circuito de Pré-Carga.....	37
FIGURA 21 – Circuito de Sincronismo.....	38
FIGURA 22 – Circuito Detector da Rede.....	39
FIGURA 23 – Detalhamento interno do FSBS10HC60.....	40
FIGURA 24 – Circuitos do estágio de potência que utilizam o FSBS10HC60.....	40

FIGURA 25 – Conversor PFC.	41
FIGURA 26 – Filtro Anti-Aliasing.	42
FIGURA 27 – Amostragem do Sinal VBAT+.	43
FIGURA 28 – Amostragem de Corrente.	44
FIGURA 29 – Amostragem de Tensão de Saída do Inversor.	45
FIGURA 30 – Ambiente de Programação Code Composer.	48
FIGURA 31 – Fluxograma Completo da UPS.	49
FIGURA 32 – Comportamento dos PWM's do Inversor CC-CA.	52
FIGURA 33 – Funcionamento do GP timer 1.	54
FIGURA 34 – Fluxograma do Cálculo da Média.	56
FIGURA 35 – Apresentação dos lugares de atualização de V100 e VBAT.	57
FIGURA 36 – Sistema de Controle Completo do PFC.	59
FIGURA 37 – Malha de corrente do PFC e a localização das variáveis.	60
FIGURA 38 – Razão cíclica para o inversor CC-CA.	61
FIGURA 39 – Tempo de pré-carga.	63
FIGURA 40 – Tempo de pré-carga e corrente de entrada.	64
FIGURA 41 – Sincronismo com a rede.	65
FIGURA 42 – Detecção da presença da rede.	66
FIGURA 43 – Detecção da ausência da rede.	66
FIGURA 44 – Tensão de saída do Boost para razão cíclica de 50%.	68
FIGURA 45 - Tensão de saída do Boost para razão cíclica de 76%.	68
FIGURA 46 – Sinal PWM_BOOST com razão cíclica de 76%.	69
FIGURA 47 – Tensão de Saída do Inversor.	70
FIGURA 48 – Protótipo.	71

RESUMO

Este documento apresenta o desenvolvimento do projeto eletrônico de um sistema de alimentação ininterrupta (UPS) controlado por processador de sinais digitais (DSP). Inicia-se o projeto com os estudos e definições das estruturas eletrônicas envolvidas, como conversores de potência, inversores, controle de fator de potência, etc. Em um outro momento, é desenvolvido o hardware completo da UPS a ser controlado pelo DSP. E finalizando o trabalho, é elaborado o firmware que irá controlar as estruturas conversoras individual e simultaneamente com os respectivos testes de funcionamento. Esse sistema será utilizado como kit didático nas aulas da disciplina de DSP aplicado ao controle. O kit didático tem como finalidade auxiliar acadêmicos a compreender a aplicação dos processadores de sinais digitais em um sistema real, neste caso a UPS. Além disso, outros propósitos são o auxílio nas atividades práticas e a exploração de várias potencialidades do DSP. Os resultados obtidos foram o desenvolvimento completo do hardware juntamente com os testes de operação e a programação para testes de funcionamento em malha aberta da maioria dos conversores.

Palavras-chave: UPS. DSP. Controle Digital.

ABSTRACT

This document presents the development of the electronic project of a uninterruptible power supply (UPS), controlled by a digital signal processor. The project begins with the study and definitions of the electronic structures involved, like power converters, inverters, power factor control, and others. In another moment, the complete hardware of the UPS will be developed to be controlled by DSP. And concluding the work, it will be elaborated the firmware that will control the converter structures individually and simultaneously with the respective operation tests. This system will be used as a didactic kit in DSP applied to the control classes. The didactic kit purpose is to help academics to understand the application of digital signal processors in a real system, in this case the UPS. Besides that, other purposes are the help in practical activities and the development of many potentiality of the DSP. The results obtained were the complete development of the hardware together with the operation tests and the programming for operation tests in open-loop of most of the converters.

Key-words: UPS. DSP. Digital Control.

SUMÁRIO

LISTA DE SIGLAS	IV
LISTA DE ILUSTRAÇÕES	V
RESUMO	VII
ABSTRACT	VIII
1 INTRODUÇÃO	12
1.2 Justificativa	13
1.2 Definição do Problema	13
2 OBJETIVOS	14
2.1 Objetivo geral	14
2.2 Objetivos específicos	14
3 PRINCÍPIO DE FUNCIONAMENTO DA UPS	15
3.1 Tipos de UPS	15
4 DESCRIÇÃO GERAL E PROJETO DE POTÊNCIA DA UPS	18
4.1 Idéia Geral do Projeto	18
4.2 Inversores CC-CA	22
4.2.1 Topologias Básicas	22
4.2.1.1 <i>Inversor em meia ponte</i>	22
4.2.1.2 <i>Inversor em Ponte Completa</i>	24
4.2.2 Dimensionamento dos componentes do inversor CC-CA	25
4.3 Conversor CC-CC ELEVADOR de tensão (<i>Boost</i>)	27
4.3.1 Dimensionamento dos componentes do conversor CC-CC <i>Boost</i>	29
4.4 Pré-regulador do fator de potência (<i>PFC</i>)	30
4.4.1 Dimensionamento dos componentes do Pré-Regulador do Fator de Potência	31
4.5 Conversores CC-CC Abaixador ou <i>Buck</i>	33

4.5.1 Dimensionamento dos componentes do Conversor <i>Buck</i>	35
5 HARDWARE	36
5.1 Fontes Auxiliares	36
5.2 Circuito de Pré-Carga	37
5.3 Circuito de Sincronismo	37
5.4 Circuito Detector da Rede	38
5.5 Estágio de Potência.....	39
5.6 Filtros <i>Anti-Aliasing</i>	41
5.7 Amostragem das correntes	43
5.8 Amostragem de Tensão de Saída do Inversor	44
5.9 Circuitos de Comando e de Proteção.....	45
5.10 Conexões entre o kit ezDSP e a UPS	46
6 PROGRAMAÇÃO DO DSP	47
6.1 O Processador de Sinais Digitais - DSP	47
6.2 Fluxograma do Projeto UPS	48
6.3 Configurações.....	50
6.4 Amostragem dos Sinais	55
6.5 Teste de Sincronismo	57
6.6 Testes de Proteção	58
6.7 Implementação dos Controladores	58
7 RESULTADOS EXPERIMENTAIS	62
7.1 Testes Iniciais	62
7.2 Testes com os Conversores de Potência	67
8 CONSIDERAÇÕES FINAIS.....	72
APÊNDICES	74

APÊNDICE A – Esquemático do Hardware da UPS	75
APÊNDICE B – Layout do Hardware da UPS	77
APÊNDICE C – Pinagem dos Conectores do Kit ezDSP e da UPS	79
APÊNDICE D – Principais Configurações e Rotinas de Programação	81
BIBLIOGRAFIA COMPLEMENTAR.....	87
REFERÊNCIAS	88

1 INTRODUÇÃO

Os sistemas de alimentação ininterrupta de energia, do inglês UPS (*Uninterruptable Power Supply*), têm sido procurados e utilizados pelas mais diversas áreas: indústria, hospitais, centros de processamentos de dados, sistemas de telecomunicação entre outros. Essa demanda ocorre pois alguns equipamentos eletroeletrônicos não podem parar o seu funcionamento acarretando, em alguns casos, danos irreversíveis para as instituições e seus clientes. Outros equipamentos, além de precisarem funcionar ininterruptamente, necessitam de uma energia de qualidade, sem distorções e com alto rendimento.

A UPS é um sistema eletrônico que tem a finalidade de manter a energia elétrica na carga de forma ininterrupta. Ela é composta de estruturas conversoras de energia que podem ser modeladas para sistemas de controle. Esses sistemas podem ser controlados através do DSP (Processador de Sinais Digitais).

A utilização da UPS como kit didático partiu da constatação da capacidade de processamento do DSP verificada nas aulas práticas. Na disciplina da sexta fase do Curso Superior de Sistemas Digitais do CEFET/SC desenvolvem-se projetos de controladores digitais com DSP que atuam numa determinada planta analógica implementado com amplificador operacional. Porém, o sistema representado por esta planta não apresenta características realistas dos processos encontrados na prática utilizando de forma limitada as potencialidades do processador de sinais digitais. Além disso, elas não representam uma aplicação real, o que tende a diminuir o interesse do acadêmico.

Com o desenvolvimento do projeto de uma UPS utilizada como kit didático, os acadêmicos poderão aplicar os conhecimentos adquiridos ao longo do curso e controlar um sistema eletrônico de extrema importância no mercado atual. Esse controle será através da implementação de programas no processador de sinais digitais.

A proposta deste trabalho partiu da vontade de criação de uma solução didática, que auxiliasse de alguma forma os acadêmicos e também professores aplicando os conhecimentos adquiridos ao longo do Curso Superior de Sistemas Digitais. Aliado a isso, sugeriu-se a criação de um sistema real a ser controlado por DSP e que posteriormente seria utilizado como kit didático nas aulas. A participação em bolsa de pesquisa do CEFET/SC no desenvolvimento de sistemas eletrônicos para utilização como kits didáticos também ajudou na escolha do trabalho.

1.2 Justificativa

A motivação do projeto está em auxiliar os acadêmicos a compreender a aplicação dos processadores de sinais digitais e a explorar várias potencialidades do DSP em um sistema real. Outro propósito é o de auxiliar professores e acadêmicos no desenvolvimento de atividades práticas com DSP.

Os kits didáticos disponíveis no mercado para esta área são de custo elevado e de difícil acesso, sendo estruturas fechadas que não permitem a sua reconfiguração e o acesso a variáveis internas do processo tornando-se sistemas limitados e pouco atrativos. Portanto, este projeto que será utilizado como kit didático nas aulas de DSP aplicado ao Controle, terá a vantagem de ser desenvolvido na instituição do CEFET/SC e com os requisitos previstos para atividades práticas.

1.2 Definição do Problema

A disciplina de DSP aplicada ao controle da sexta fase do Curso Superior de Sistemas Digitais do CEFET/SC é uma unidade que reúne diversos conceitos e conteúdos de outras disciplinas do curso como Sistemas de Controle, Controle Digital, Microcontroladores, Conversores Estáticos, etc. Nesta disciplina, desenvolvem-se projetos de controladores digitais com DSP que atuam numa determinada planta analógica implementada com um amplificador operacional. Porém, o sistema representado por essa planta analógica não apresenta características realistas dos processos encontrados na prática, utilizam de forma limitada as potencialidades do processador de sinais digitais. Além disso, a planta não representa uma aplicação real, o que tende a diminuir o interesse do acadêmico. Pode-se então desenvolver um sistema real como a UPS, explorando as várias potencialidades do processador que ao mesmo tempo sirva de kit didático para as aulas da disciplina de DSP aplicado ao Controle?

2 OBJETIVOS

Apresentam-se, nessa seção, os objetivos gerais e específicos que o projeto almeja alcançar.

2.1 Objetivo geral

O projeto de um sistema de alimentação ininterrupta controlado por processador de sinais digitais tem como objetivo desenvolver um sistema eletrônico para aplicações de controle digital com DSP. Este projeto será utilizado como kit didático.

2.2 Objetivos específicos

Apresentam-se, como objetivos específicos, os seguintes itens:

- Construir circuitos eletrônicos de média potência (estruturas conversoras), que compõem a UPS.
- Realizar o controle individual ou simultâneo das estruturas conversoras da UPS através do DSP.
- Elaborar um firmware de controle em linguagem de programação C ou Assembly.

3 PRINCÍPIO DE FUNCIONAMENTO DA UPS

A UPS é um sistema eletroeletrônico que mantém a energia elétrica na carga de forma ininterrupta. Esse sistema é conectado juntamente com a rede elétrica comercial. Caso haja falta de energia da rede elétrica a UPS, automática e imediatamente, fornece energia para a carga através de um banco de baterias. Sua autonomia, portanto, está vinculada a capacidade das baterias.

As UPS's são compostas basicamente de um banco de baterias, de onde provêm a tensão elétrica contínua, dos retificadores de tensão, para carregar as baterias e dos inversores CC-CA para gerarem através da tensão contínua das baterias uma tensão alternada semelhante à tensão da rede elétrica (LAZZARIN, 2006).

3.1 Tipos de UPS

As UPS são classificadas em três tipos: Linha Prioritária (tipo *Off-line*), Inversor Prioritário (tipo *On-line*) e Interativo com a Linha (tipo *On-line*) (POMÍLIO, 2007).

A configuração de linha prioritária é apresentada na FIGURA 1.

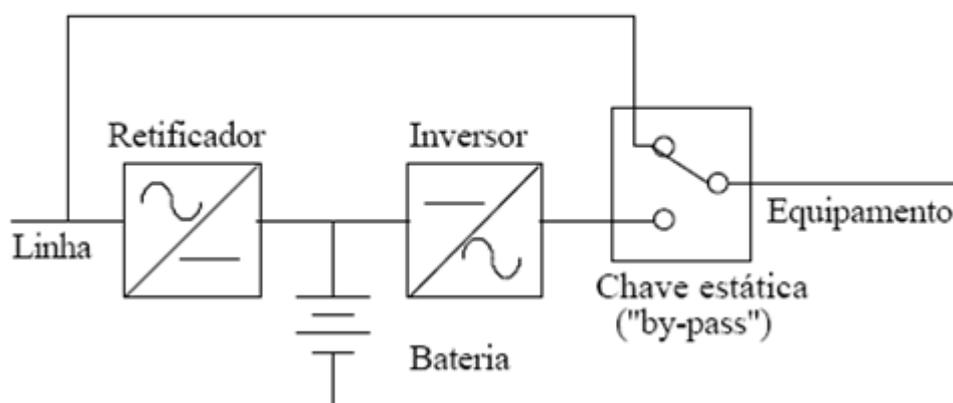


FIGURA 1 – Configuração Linha Prioritária.

Fonte: POMÍLIO, 2007.

A configuração de linha prioritária é composta de um retificador, um banco de baterias, um inversor CC-CA e uma chave de comutação. O retificador fornece energia para recarregar as baterias, as quais fornecem tensão contínua ao inversor que irá converter tensão contínua em tensão alternada. Nesta configuração, a rede é ligada diretamente ao equipamento

(ligação *by-pass*) e quando existe falta de energia, a chave muda de estado automaticamente. Com a chave acionando o circuito inversor CC-CA, este passa a fornecer energia CA ao equipamento (semelhante à energia da rede elétrica). Esse tipo de sistema é chamado de *Off-line*, pois o fornecimento de energia na carga é interrompido por alguns instantes com a comutação da chave (POMÍLIO, 2007).

Apresenta-se, na FIGURA 2, a configuração de inversor prioritário.

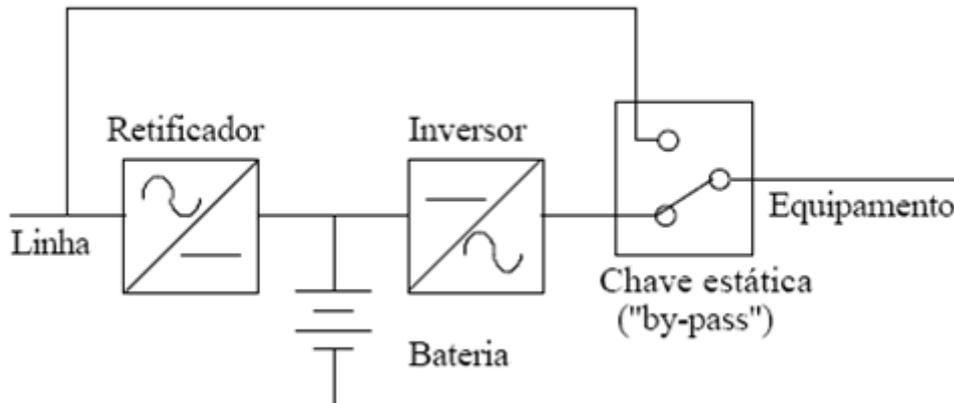


FIGURA 2 – Configuração Inversor Prioritário.

Fonte: POMÍLIO, 2007.

O tipo de UPS inversor prioritário contém os mesmos elementos da configuração linha prioritária, mas o princípio de funcionamento difere em alguns aspectos. Neste caso, a rede elétrica alimenta o retificador, o inversor CC-CA (através do retificador) e, posteriormente, a carga. A UPS está sempre em funcionamento. Quando a rede elétrica falha, ela pára de fornecer energia ao retificador e quem alimenta o inversor CC-CA é o banco de baterias que está conectado ao sistema. Não há interrupção de energia elétrica no equipamento. A chave tem a finalidade de comutar para ligação *by-pass* caso haja uma falha na UPS. Esse tipo de configuração em que não há interrupção do fornecimento de energia elétrica à carga é conhecido como *On-line* (POMÍLIO, 2007).

Na FIGURA 3, apresenta-se o tipo de UPS interativo com a linha.

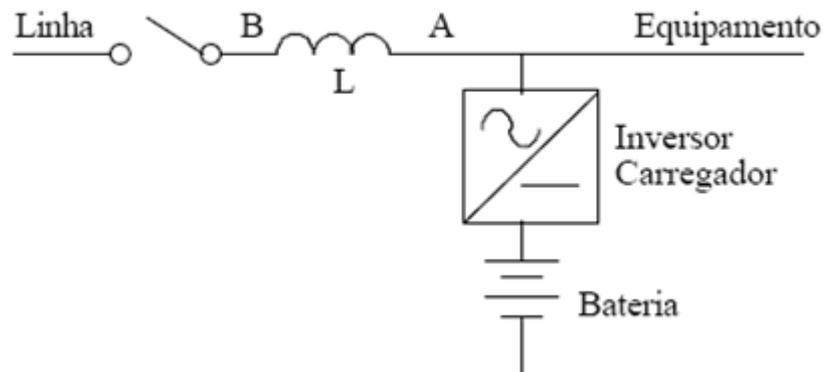


FIGURA 3 – Configuração Interativa com a Linha.

Fonte: POMÍLIO, 2007.

Neste tipo de estrutura, existe um maior controle da tensão entregue à carga. Na presença da rede elétrica, a energia é fornecida ao equipamento através do indutor que também carrega a bateria. Quando a tensão no ponto A é igual em amplitude, fase e frequência no ponto B, não há corrente elétrica no indutor L e quem fornece energia ao equipamento é a bateria (através do inversor). Alterando a fase da tensão no ponto A, existirá corrente no indutor e, conseqüentemente, na carga. Com essa variação de fase, a rede elétrica fornece a potência ativa para o equipamento e, o inversor, a potência reativa. O inversor age como compensador de fator de potência. (POMÍLIO, 2007).

4 DESCRIÇÃO GERAL E PROJETO DE POTÊNCIA DA UPS

Para o projeto em questão, será utilizado como referência principal o *Application Report* da Texas Instruments que demonstra a implementação de uma UPS *On-Line* Monofásica de tripla conversão controlada pelo DSP TM320C2407 (TEXAS INSTRUMENTS, 1999). A principal diferença do projeto, porém, estará no valor de potência entregue a carga, o qual não será igual à do sistema proposto pela Texas.

4.1 Idéia Geral do Projeto

Um sistema de alimentação ininterrupta possui papel importante em estruturas onde a energia elétrica não pode cessar. É o caso de sistemas de comunicação, microcomputadores e sistemas médicos. Entre as várias topologias de UPS, a UPS *On-Line* fornece maior proteção para a carga conectada. Entretanto, como o sistema possui vários estágios de conversão de potência, *UPS's Online* são de alto custo e construtivamente complexas. O alto desempenho aliado ao custo dos DSP's possibilita a construção desse sistema de alimentação ininterrupta *On-Line* de forma rentável e aprimorada. (TEXAS INSTRUMENTS, 1999).

Neste projeto, a topologia de UPS utilizada é basicamente do inversor prioritário, explicada anteriormente no capítulo 3. Essa topologia possui tripla conversão de energia (conversões CA-CC, CC-CC e CC-CA). A FIGURA 4 apresenta o diagrama de blocos da UPS *On-line* de tripla conversão.

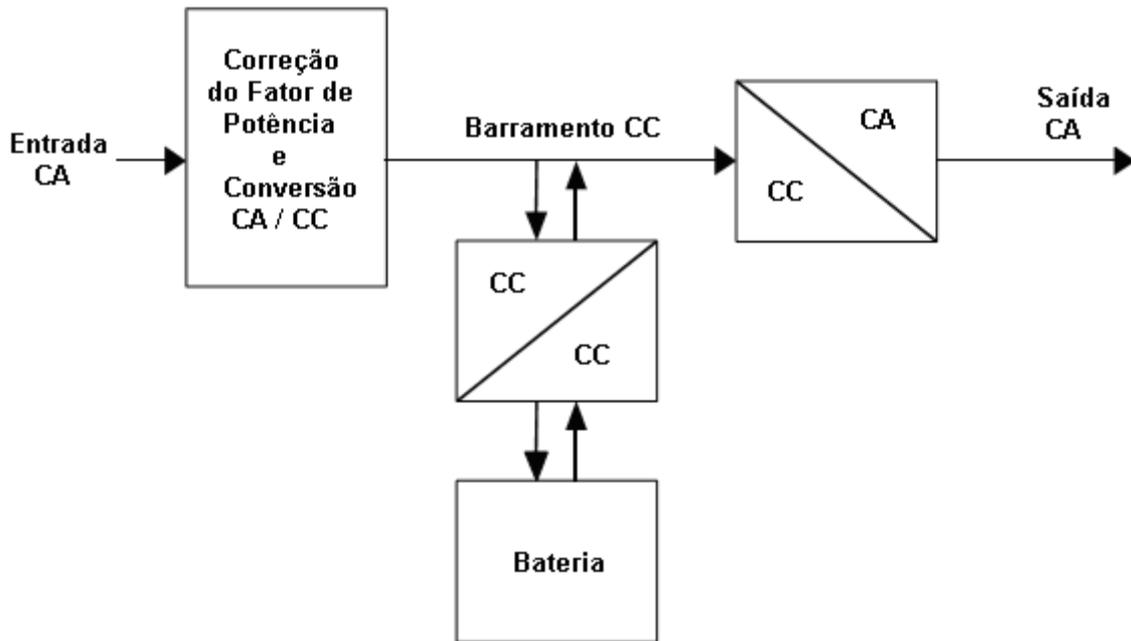


FIGURA 4 – Diagrama de Blocos da UPS Online de tripla conversão.

Fonte: TEXAS INSTRUMENTS.

O estágio de correção do fator de potência (PFC) possui um conversor CA-CC que retifica a tensão de entrada CA e cria um barramento de tensão CC enquanto mantém a corrente de entrada senoidal para obter um alto fator de potência. Esse estágio também regula o nível de tensão do barramento CC com relação à variação de tensão de entrada CA.

Outro estágio apresentado na FIGURA 4 é a inversão CC-CA, que converte a tensão do barramento CC para tensão alternada de saída com a mesma frequência da rede elétrica convencional. Um conversor CC-CC abaixador (*Buck*) fornece energia para a bateria. Esse carregador de baterias atenua a tensão do barramento CC (em torno de 100V) para permitir a recarga de uma bateria que possui tensão nominal contínua menor. Quando a rede elétrica não fornecer energia (falta de energia), um conversor CC-CC elevador (*Boost*) eleva a tensão da bateria para a tensão do barramento CC.

Portanto, existem dois modos de operação do sistema; no primeiro, a rede elétrica CA fornece a energia para o sistema e os estágios de PFC, carregador de bateria, inversão CC-CA operam simultaneamente; já no segundo, quando existir falha na rede CA, a bateria fornece a energia para o sistema e os estágios de conversão CC-CC *Boost* e inversão CC-CA operam simultaneamente para manter a saída CA.

A FIGURA 5 demonstra a topologia da UPS *On-line* de tripla conversão.

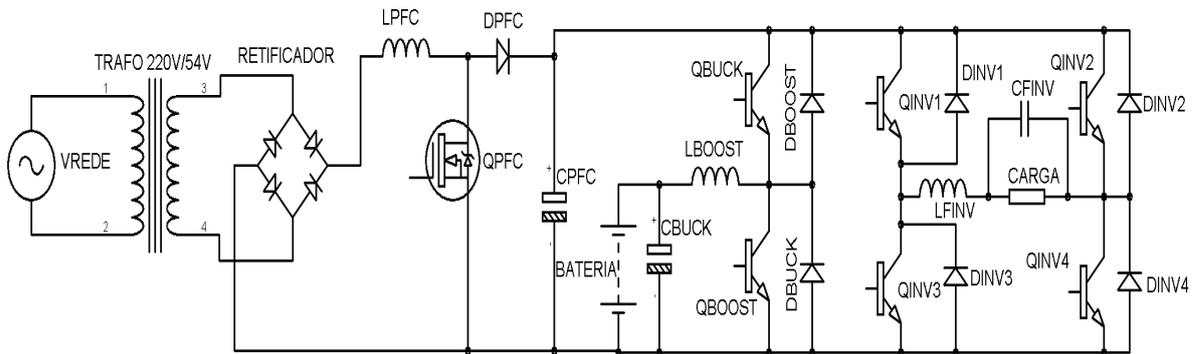


FIGURA 5 – Topologia da UPS On-line de tripla conversão.

A partir da FIGURA 5, pode-se observar detalhadamente os circuitos que compõem o sistema de UPS *On-line* de tripla conversão. O estágio de PFC consiste nos diodos de retificação, no indutor LPFC, no diodo DPFC, na chave de potência QPFC e no capacitor CPFC. Esse estágio controla o fator de potência e a elevação de tensão do barramento CC.

A inversão CC-CA se dá através dos componentes QINV1, QINV2, QINV3 e QINV4 e também de DINV1, DINV2, DINV3 e DINV4. Os componentes LFINV e CFINV atuam como filtro. A tensão contínua é obtida através da tensão sobre o capacitor CPFC. Nesta etapa, é gerada a tensão de saída senoidal CA para carga.

A conversão CC-CC *Boost* é composta do componente de chaveamento de potência QBOOST, o indutor LBOOST, o diodo DBOOST e a BATERIA como fonte de tensão contínua. A tensão de saída desse conversor está sobre o capacitor CPFC (tensão de barramento CC). É importante salientar que tal conversão funciona apenas quando há falha na rede CA ocorrendo um aumento da tensão de bateria para tensão de barramento CC.

O estágio de carregamento de baterias (Conversor *Buck*) consiste no componente de chaveamento QBUCK, no diodo DBUCK, no capacitor CBUCK e a BATERIA que atua como carga nesse conversor associada ao indutor LBOOST. Essa etapa faz a conversão CC-CC atenuando a tensão vinda do barramento CC para carregar a bateria.

Toda essa estrutura de hardware da UPS, apresentada na FIGURA 5, será controlada pelo processador de sinais digitais. Cada estágio da UPS é visto como um sistema de controle que é um modelamento matemático dos circuitos eletrônicos. Portanto, o DSP irá controlar esses sistemas de controle e, como possui performance de 40 MIPS (milhões de instruções por segundo), ele pode controlar os sistemas em tempo real. Além disso, o kit de DSP utilizado possui os periféricos necessários para o controle da UPS.

A FIGURA 6 apresenta o diagrama de blocos do sistema completo da UPS controlada pelo DSP e também os sinais que devem ser amostrados da UPS bem como os sinais de PWM (Modulação por Largura de Pulsos) para controle das chaves eletrônicas.

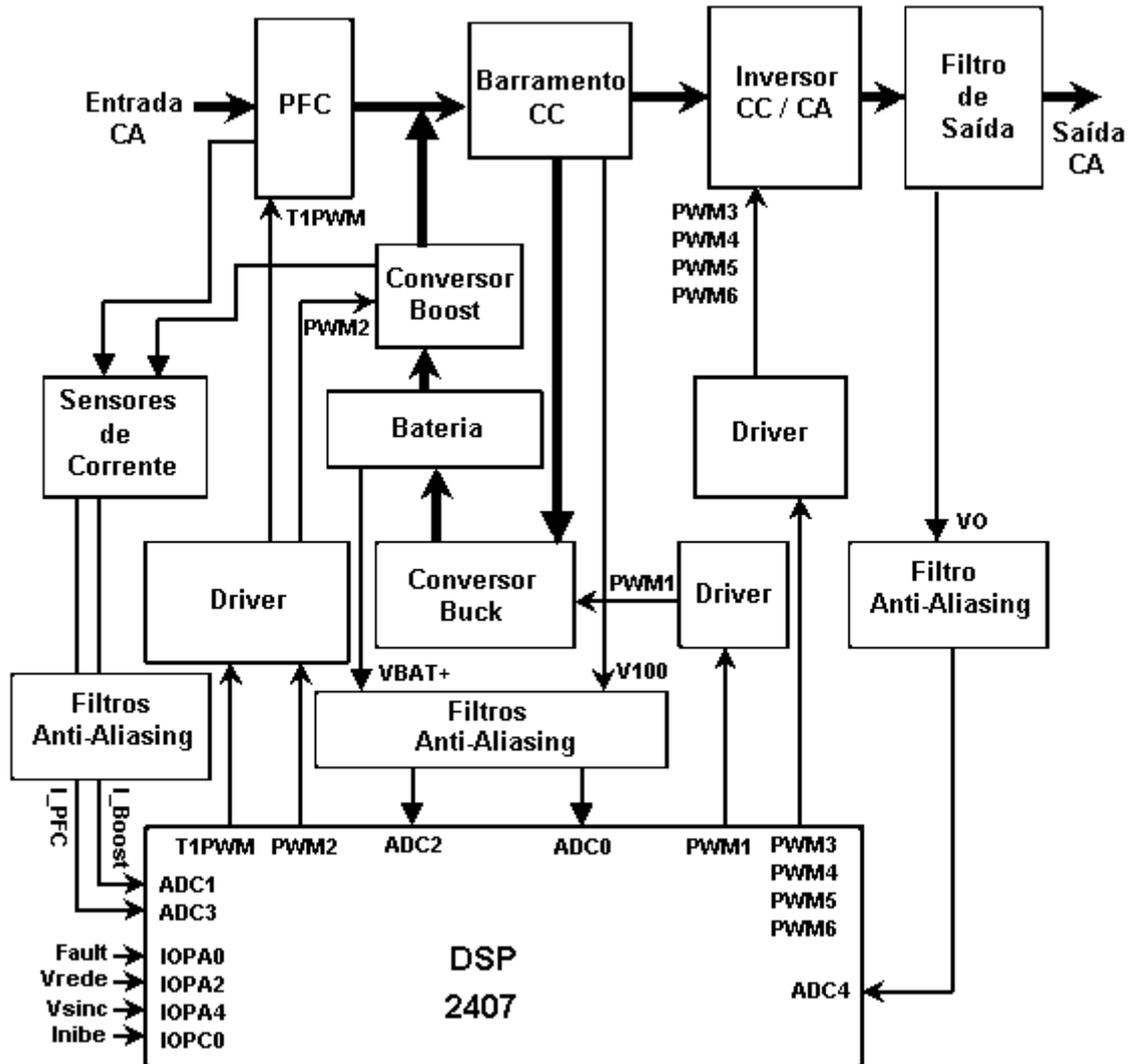


FIGURA 6 – Diagrama de blocos da UPS controlada pelo DSP.

Fonte: TEXAS INSTRUMENTS.

Cinco amostras dos sinais da UPS são necessárias para efetuar o controle dos estágios de conversão. A corrente de entrada (I_{PFC}), corrente no indutor do conversor *Boost* (I_{Boost}), tensão do barramento CC (V_{100}), tensão da bateria (V_{BAT+}) e tensão de saída da UPS (V_O) serão amostradas através do conversor analógico-digital do kit de DSP. Além dessas amostras, outros sinais de saída da UPS são processados: Fault em caso de problemas com as chaves de potência, Vrede para verificar a presença da rede CA, Vsinc para obter o sincronismo do controle com a tensão senoidal da rede CA e Inibe para desabilitar todos os interruptores de potência.

Com esses sinais amostrados, o processador de sinais digitais pode implementar o controle desejado para os múltiplos estágios e calcular as razões cíclicas de PWM requerida pela UPS.

O cálculo da razão cíclica será utilizado para gerar os sete sinais de PWM que controlarão as chaves eletrônicas de potência. Além disso, uma programação de tempo “morto” previne um curto-circuito no inversor CC-CA.

4.2 Inversores CC-CA

Os inversores CC-CA de tensão transformam tensões elétricas CC em tensões elétricas CA (VILLAÇA; RANGEL, 1996) (BARBI; MARTINS, 2005). São de extrema importância em fontes de alimentação ininterrupta e em outros dispositivos que precisam da conversão CC-CA.

4.2.1 Topologias Básicas

4.2.1.1 Inversor em meia ponte

A FIGURA 7 apresenta a estrutura do inversor em meia ponte.

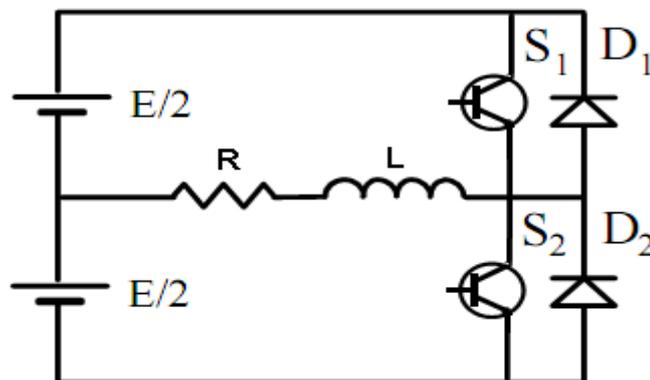


FIGURA 7 – Inversor CC-CA em meia ponte.

Fonte: VILLAÇA, RANGEL. *Eletrônica de Potência*, 1996.

As chaves eletrônicas S1 e S2 podem ser transistores, IGBT's, MOSFET's ou outros acionadores de potência. Neste caso, essas chaves (S1 e S2) se comportam analogicamente como uma chave comum (estado ligado ou desligado). Portanto quando uma chave eletrônica está conduzindo, a corrente elétrica vinda da fonte $E/2$ circula através de uma das chaves e da carga RL.

Quando S1 for acionada, a corrente e a tensão sobre a carga RL terão uma determinada polaridade. No momento de desligamento de S1, e antes do acionamento de S2, o diodo D2 entra em condução devido à inversão de polaridade da carga. Quando S2 for acionada, a polaridade da carga inverte. No momento do desligamento de S2, o diodo D1 entra em condução. A ilustração do funcionamento por etapas é mostrada na FIGURA 8.

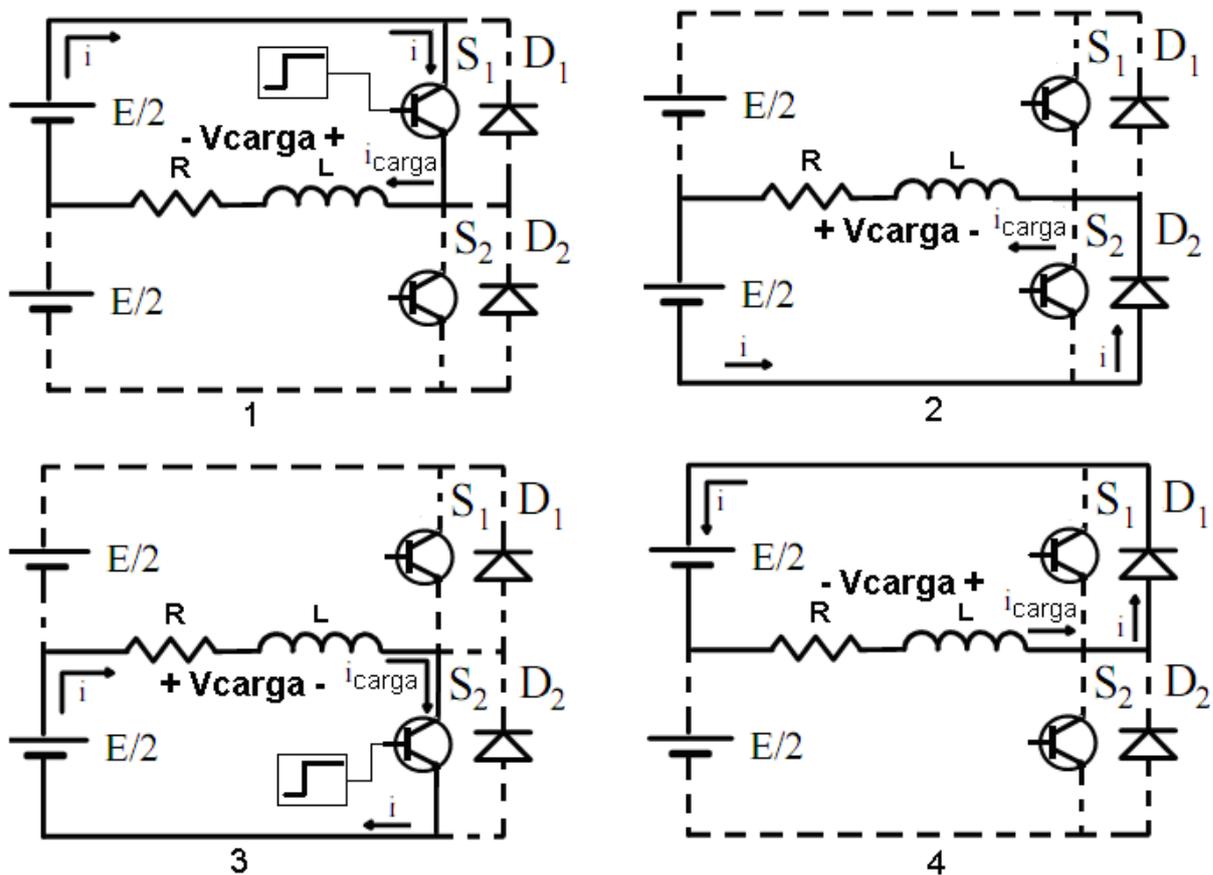


FIGURA 8 – Funcionamento do Inversor CC-CA Meia Ponte.

Fonte: VILLAÇA, RANGEL. *Eletrônica de Potência*, 1996.

4.2.1.2 Inversor em Ponte Completa

O inversor em ponte completa é apresentado na FIGURA 9

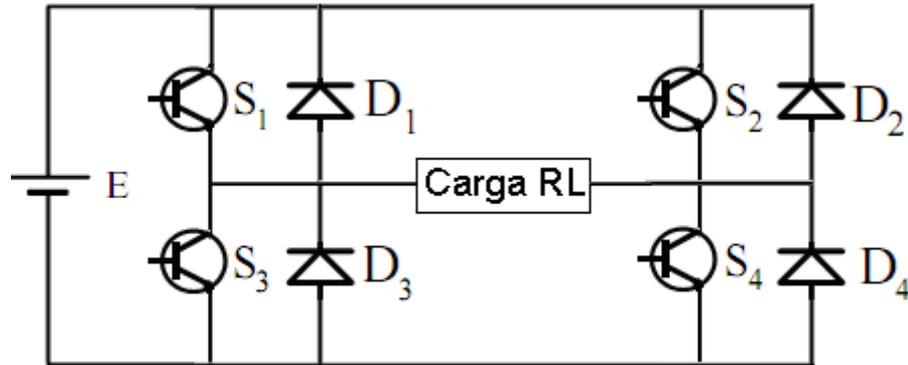


FIGURA 9 – Inversor CC-CA em ponte completa.

Fonte: VILLAÇA, RANGEL. *Eletrônica de Potência*, 1996.

Como visto na topologia anterior, o sistema da FIGURA 9 possui chaves de acionamento (S_1, S_2, S_3, S_4) que funcionam em conjunto para alimentar a carga RL. Os diodos possuem a função de roda-livre (escoamento da energia armazenada no indutor L da carga). A FIGURA 10 ilustra o princípio de funcionamento da estrutura.

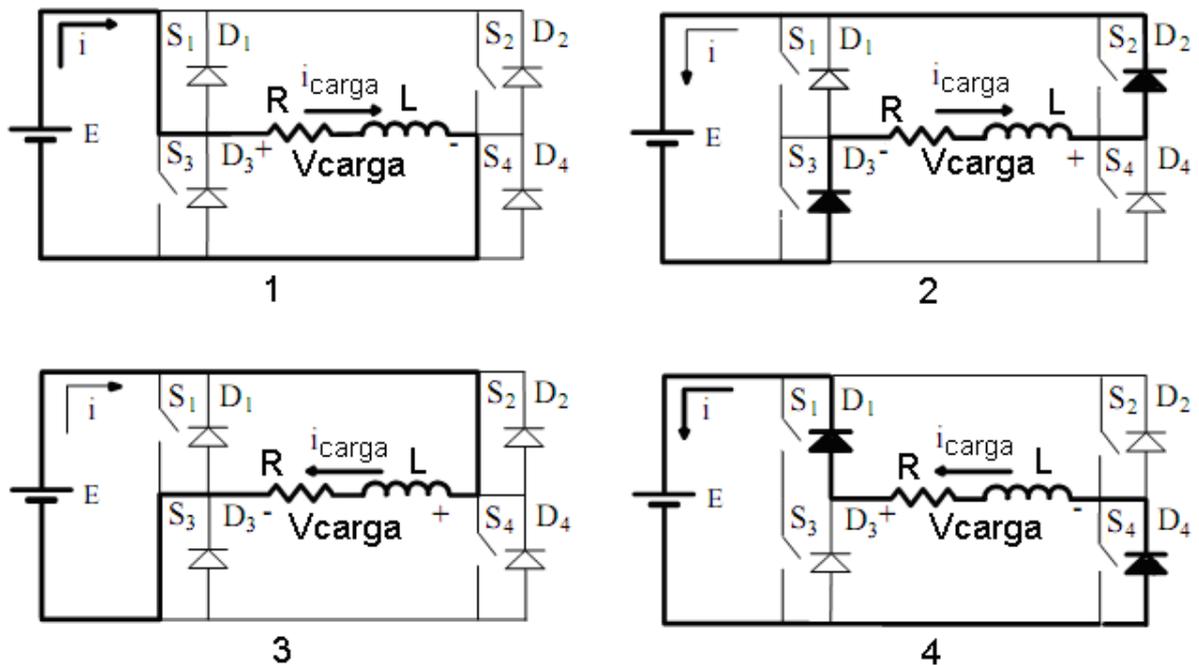


FIGURA 10 – Funcionamento do Inversor em ponte completa.

Fonte: VILLAÇA, RANGEL. *Eletrônica de Potência*, 1996.

A título de ilustração, as chaves de acionamento estão sendo representadas como chaves ideais. No primeiro momento, as chaves S1 e S4 conduzem a corrente i e a polaridade da tensão na carga é $+E$. Após o desligamento de S1 e S4, a polaridade na carga inverte devido à presença do indutor L e a corrente i_{carga} passa por D3 e D2. A tensão na carga neste momento é $-E$. No acionamento de S2 e S3, a polaridade na carga é oposta ao do primeiro momento. No desligamento de S2 e S3, os diodos D1 e D4 se polarizam diretamente conduzindo a corrente i_{carga} em direção à fonte de tensão E . A modulação empregada no trabalho é modulação à dois níveis.

4.2.2 Dimensionamento dos componentes do inversor CC-CA

O projeto da UPS utiliza um inversor CC-CA em ponte completa. Portanto os o dimensionamento dos semicondutores referem-se a essa estrutura. Esses cálculos têm como referência o livro Introdução ao Estudo dos Conversores CC-CA de Denizar Cruz Martins e Ivo Barbi.

a) Esforços nos diodos e chaves semicondutoras de potência

O dimensionamento dos diodos e das chaves semicondutoras será realizado para o pior caso, ou seja, o valor de pico da tensão de saída sobre os semicondutores. Assim, a tensão elétrica sobre os semicondutores nesse caso é:

$$V_{inv_{max}} = E = 100V \quad \text{Eq.1}$$

A carga utilizada no projeto são quatro lâmpadas em paralelo de 100W/127V. A tensão de saída eficaz do inversor CC-CA é 54V. Como as lâmpadas possuem resistências que variam com a temperatura de operação, mediu-se a corrente total das lâmpadas (corrente de saída do inversor) com um amperímetro ($I_{inv} = 2,13A$). Portanto, a resistência equivalente (R_{eq}) pode ser obtida pela equação 2:

$$R_{eq} = \frac{V_{inv_{ef}}}{I_{inv}} = \frac{54}{2,13} = 25,35\Omega \quad \text{Eq.2}$$

A corrente de pico nos diodos é semelhante à corrente na carga. A corrente pico e eficaz nos diodos são definidas pelas equações 3 e 4 respectivamente.

$$I_{dinv_{pico}} = \frac{\sqrt{2} \cdot V_{ef}}{R} = \frac{\sqrt{2} \cdot 54}{25,35} = 3,01A \quad \text{Eq.3}$$

$$I_{dinv_{ef}} = \frac{V_{ef}}{R} = \frac{54}{25,35} = 2,13A \quad \text{Eq.4}$$

Nos cálculos foram identificados correntes e tensões dos diodos, mas também servem para as chaves de potência. Com os valores de corrente e tensão especificados é possível definir quais diodos e chaves semicondutoras de potência utilizar.

b) Filtro LC do inversor CC-CA

A tensão presente na saída dos conversores CC-CA é definida pela comparação de um sinal de referência senoidal com um sinal triangular com a frequência de chaveamento (POMILIO, 2007). A FIGURA 11 apresenta os sinais de comparação e a tensão de saída sem filtragem.

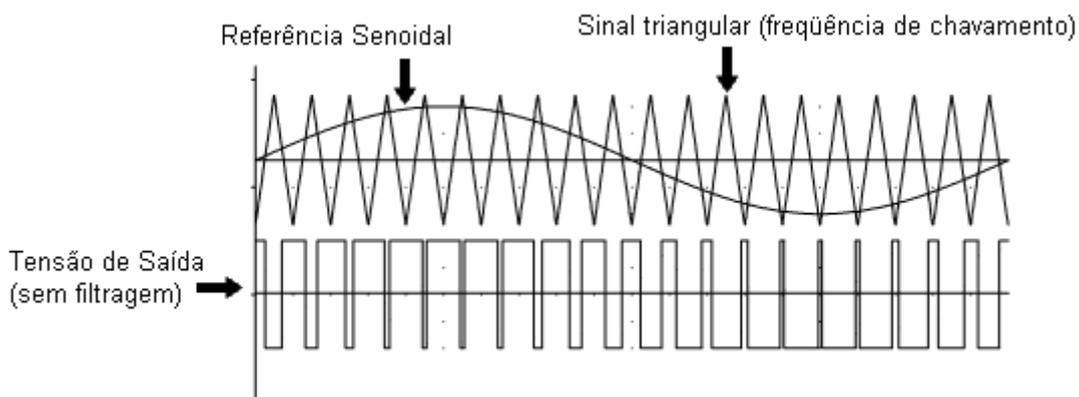


FIGURA 11 – Sinais de Comparação e Tensão de saída sem filtragem no inversor CC-CA.

Fonte: POMÍLIO, 2007.

Como a tensão de saída do inversor compõe-se de diversas ondas retangulares, é necessária a inserção de filtros junto à estrutura inversora CC-CA. Os filtros LC têm a finalidade de reduzir harmônicos presentes na saída dos conversores CC-CA. Para o cálculo do filtro LC, utilizou-se uma metodologia de projeto de filtros LC passa-baixa, conforme Martins e Barbi (2005).

O projeto do filtro LC inicia com a definição da resistência equivalente na carga ($R_o = 25,35\Omega$).

Em seguida, é adotado um valor para o fator de amortecimento entre 0,707 e 1. O valor escolhido é de $\zeta = 0,75$.

A frequência de corte f_o deve ficar uma década abaixo da frequência de chaveamento f_s . Como a frequência que será utilizada no projeto é 19,92kHz, a frequência de corte é de 1,99kHz.

Para definir o capacitor do filtro LC, utilizou-se a equação 6.

$$C_{finv} = \frac{1}{4\pi\zeta \cdot f_o \cdot R_o} = \frac{1}{4\pi \cdot 0,75 \cdot 1,99 \cdot 10^3 \cdot 25,35} = 2,1\mu F \quad \text{Eq.6}$$

Com o valor de C_f , aplica-se a equação 7 para obtenção do indutor do filtro LC.

$$L_{finv} = \frac{1}{(2\pi \cdot f_o)^2 \cdot C_f} = \frac{1}{(156,34 \cdot 10^6)^2 \cdot 2,1 \cdot 10^{-6}} = 3mH \quad \text{Eq.7}$$

4.3 Conversor CC-CC ELEVADOR de tensão (*Boost*)

No conversor CC-CC *Boost*, a tensão média de saída é maior que a tensão de entrada, ou seja, a mínima tensão média de saída é, teoricamente, igual a tensão de alimentação E (BARBI; MARTINS, 2000).

A FIGURA 12 mostra a topologia do conversor CC-CC *Boost*.

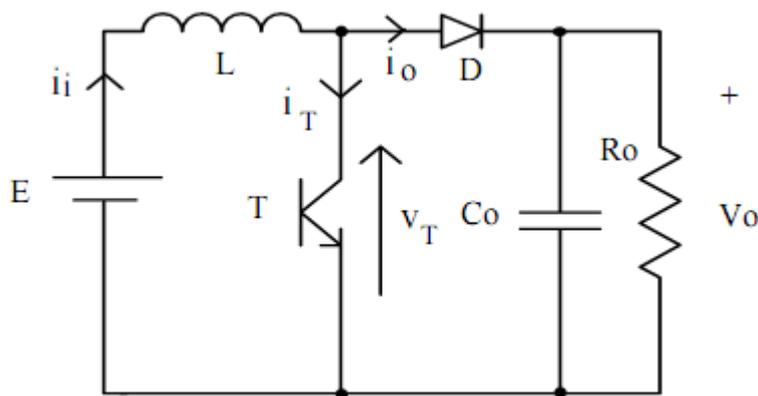


FIGURA 12 – Topologia do Conversor CC-CC *Boost*.

Fonte: POMILIO, 2007.

Quando a chave T é acionada, a tensão no indutor L é igual à tensão E. O indutor acumula energia nesse período. O diodo está polarizado reversamente bloqueando a passagem

da corrente para o estágio de saída. Portanto, o capacitor fornece energia à carga (POMILIO, 2007).

Quando a chave T é desligada, o diodo D entra em condução e transfere a energia acumulada no indutor para a carga e para o capacitor (POMILIO, 2007).

O conversor CC-CC *Boost* possui dois modos de operação de acordo com a corrente que circula na indutância L. Um modo é chamado de modo de condução contínua (MCC), em que a corrente no indutor é sempre maior que zero no período de chaveamento de T. O outro modo é conhecido como modo de condução descontínua, no qual a corrente no indutor é igual a zero por alguns instantes no período de chaveamento (MOHAN,1995).

A equação 8 (Eq.8) representa a característica ideal de transferência do conversor *Boost*. A razão cíclica (D) é igual ao tempo de condução da chave (t_c) dividido pelo período de chaveamento (T) (BARBI; MARTINS, 2000).

$$\frac{V_o}{E} = \frac{1}{1-D} \quad \text{onde } D = \frac{t_c}{T} \quad \text{Eq.8}$$

Quando D tende à unidade, V_o tende teoricamente a um valor infinito. Verifica-se que a mínima tensão de saída é igual à tensão de entrada E (BARBI; MARTINS, 2000). A FIGURA 13 apresenta graficamente essa relação entre tensões de entrada e saída e razão cíclica.

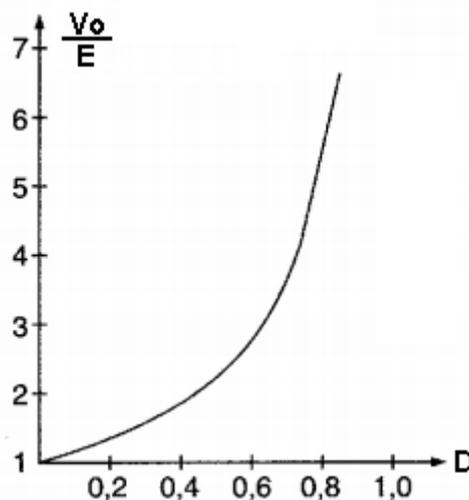


FIGURA 13 – Característica Ideal de Transferência Estática do Conversor Boost.

Fonte: POMILIO, 2007.

4.3.1 Dimensionamento dos componentes do conversor CC-CC *Boost*

Neste ítem, apresentar-se-á o dimensionamento do indutor, do capacitor e dos semicondutores do conversor CC-CC elevador de tensão (*Boost*) utilizado no projeto da UPS. As equações foram desenvolvidas no programa MATCAD e serão apenas demonstrados os resultados obtidos.

a) Esforços no Indutor e no Capacitor

$$L_{BOOST} = \frac{E_{min}.T_s.D_{min}}{DI} = 343,44\mu H \quad \text{Eq.9}$$

$$C_{BOOST} = \frac{P_{max}}{f_{rede} \cdot [V_o^2 - (0,91.V_o^2)]} = 2229,98\mu F \quad \text{Eq.10}$$

Utilizou-se no projeto, dois capacitores de 1000uF em paralelo.

b) Esforços no diodo e na chave semicondutora de potência

b.1) Corrente Média no diodo e na chave

$$I_{dboost_{med}} = I_{in} \cdot (1 - D_{min}) = 1,21A \quad \text{Eq.11}$$

$$I_{qboost_{med}} = I_{in} \cdot D_{min} = 4,72A \quad \text{Eq.12}$$

b.2) Corrente Eficaz no diodo e na chave

$$I_{dboost_{ef}} = I_{in} \cdot \sqrt{(1 - D_{min})} = 2,68A \quad \text{Eq.13}$$

$$I_{qboost_{ef}} = I_{in} \cdot \sqrt{D_{min}} = 5,29A \quad \text{Eq.14}$$

b.4) Tensão Reversa Máxima

$$V_{dboost_{max}} = V_{qboost_{max}} = V_o_{max} = 100V \quad \text{Eq.15}$$

4.4 Pré-regulador do fator de potência (PFC)

Esta etapa tem como objetivo converter a tensão alternada da rede elétrica em tensão contínua e também corrigir o fator de potência que será aplicado à carga. A FIGURA 14 apresenta a topologia do pré-regulador do fator de potência.

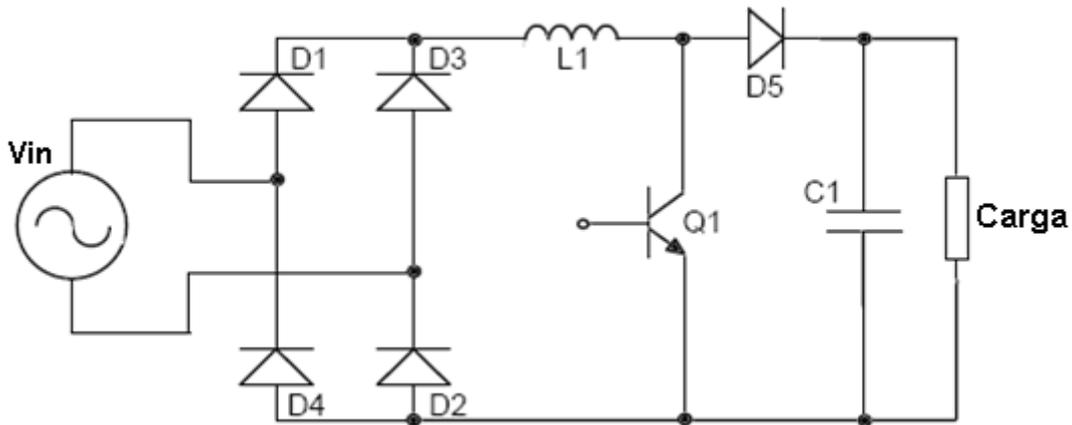


FIGURA 14 – Etapa PFC.

A estrutura da FIGURA 14 é composta por um retificador monofásico de onda completa em ponte aliado a um conversor *Boost* (apresentado no item 4.3).

Cada par de diodos (D1 e D2 ou D3 e D4) do retificador irá conduzir em um semiciclo de tensão da rede V_{in} , gerando uma tensão contínua pulsada após a ponte de diodos. No projeto em questão, foi inserido um transformador 220V/54V antes do retificador. Esse transformador permite operar com baixa tensão e também permite a isolação da rede elétrica.

O conversor *Boost* tem a finalidade de elevar a tensão presente na saída da ponte retificadora. Outro objetivo dessa estrutura é corrigir o formato da corrente de entrada para o formato senoidal retificado, gerando, assim, o fator de potência mais próximo ao valor único. O princípio e o modo de operação desse conversor são semelhantes ao demonstrado no item 4.3. A diferença está na tensão de entrada do conversor *Boost* que, nesse caso, é contínua pulsada.

A variável de controle do conversor é o sinal PWM de comando da chave Q1 e as principais variáveis a serem controladas são a tensão de saída e a corrente de entrada do conversor. Essa corrente deve seguir uma referência senoidal e apresentar baixa taxa de distorção harmônica. A FIGURA 15 mostra como a corrente se comporta em relação à tensão retificada.

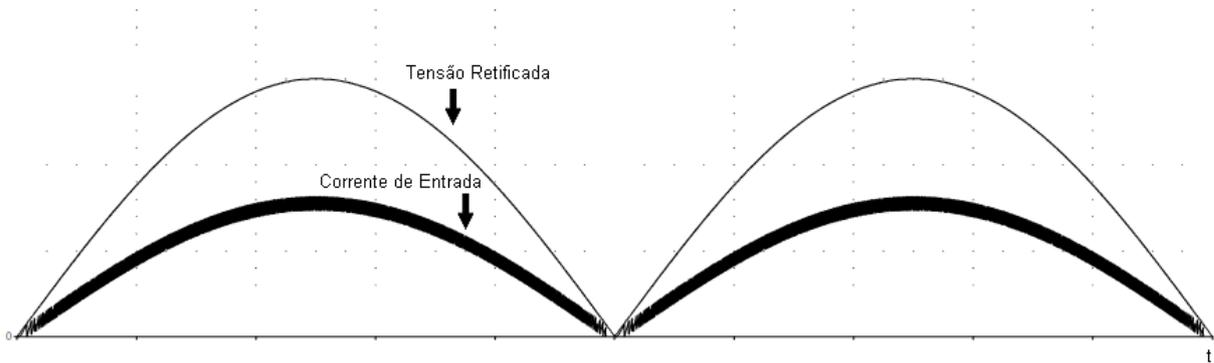


FIGURA 15 – Tensão e Corrente de Entrada do PFC.

Fonte: POMÍLIO, 2007.

4.4.1 Dimensionamento dos componentes do Pré-Regulador do Fator de Potência

Nesse capítulo será apresentado o dimensionamento do pré-regulador do fator de potência utilizado no projeto da UPS.

Os cálculos, equações e referências desses dimensionamentos são obtidos da dissertação de Luis Cândido Tomaselli (TOMASELLI, 2001). Previamente aos dimensionamentos, alguns parâmetros e cálculos preliminares devem ser encontrados conforme tabelas 1 e 2.

TABELA 1 – Dados de Entrada do PFC.

Dados de Entrada	
$V_{in} = 54V$	Tensão de Entrada
$V_{in_{min}} = 50V$	Tensão de Entrada Mínima
$V_{in_{max}} = 60V$	Tensão de Entrada Máxima
$V_o = 100V$	Tensão de Saída
$P_o = 115W$	Potência de Saída
$f_s = 19920Hz$	Frequência de Chaveamento
$f_{rede} = 60Hz$	Frequência da Rede
$\Delta V_o = 2\%V_o = 2$	Variação da Ondulação de Tensão de Saída
$\Delta I_{max} = 10\%.I_{in_{pico_{max}}} = 0,3A$	Ondulação da Corrente de Entrada Máxima

TABELA 2 – Cálculos Preliminares do PFC.

Cálculos Preliminares	
$I_{in_{ef}} = \frac{P_o}{\eta \cdot V_{in}} = 2,24 A$	Corrente Eficaz de Entrada
$I_{in_{ef_{max}}} = \frac{P_o}{\eta \cdot V_{in_{min}}} = 2,42 A$	Corrente Eficaz Máxima de Entrada
$I_{in_{pico}} = \sqrt{2} \cdot I_{in_{ef}} = 3,16 A$	Corrente de Pico de Entrada
$I_{in_{pico_{max}}} = \sqrt{2} \cdot I_{in_{ef_{max}}} = 3,42 A$	Corrente de Pico Máxima de Entrada

Após obter os dados necessários, são gerados os cálculos e dimensionamento dos componentes do PFC.

a) Esforços na Ponte Retificadora

a.1) Corrente Média

$$I_{bpf_{med}} = 0,45 \cdot I_{in_{pico_{max}}} = 1,54 A \quad \text{Eq.16}$$

a.2) Corrente Eficaz

$$I_{bpf_{ef}} = 0,707 \cdot I_{in_{pico_{max}}} = 2,42 A \quad \text{Eq.17}$$

a.3) Tensão Reversa Máxima

$$V_{bpf_{max}} = \sqrt{2} \cdot V_{in_{max}} = 84,85 V \quad \text{Eq.18}$$

b) Esforços na Chave Semicondutora

b.1) Corrente Eficaz na Chave para um ciclo de rede

$$I_{qpf_{ef}} = \sqrt{\left(I_{in_{ef_{max}}} \right)^2 - \frac{3}{8} \cdot \left(\frac{\sqrt{2} \cdot V_{in_{min}} \cdot I_{in_{pico_{max}}}}{V_o} \right)^2} = 1,91 A \quad \text{Eq.19}$$

b.2) Corrente Pico Máxima

$$I_{qpf_{pico_{max}}} = I_{in_{pico_{max}}} = 3,42 A \quad \text{Eq.20}$$

b.3) Tensão Máxima na Chave

$$V_{qpf_{max}} = V_o + \left(\frac{2 + \Delta V_o}{2} \right) = 102 V \quad \text{Eq.21}$$

c) Esforços no Diodo PFC

c.1) Corrente Média

$$I_{dpfc_{med}} = \frac{P_o}{V_o} = 1,15A \quad \text{Eq.22}$$

c.2) Corrente Eficaz

$$I_{dpfc_{ef}} = \sqrt{\frac{3}{8}} \cdot \frac{\sqrt{2} \cdot V_{in_{min}} \cdot I_{in_{pico_{max}}}}{V_o} = 1,48A \quad \text{Eq.23}$$

c.3) Tensão Reversa Máxima

$$V_{dpfc_{max}} = V_{qpfc_{max}} = 102V \quad \text{Eq.24}$$

d) Cálculo do Capacitor de Saída PFC

$$C_{PFC} = \frac{P_o}{4\pi \cdot f_{rede} \cdot V_o \cdot \Delta V_o} = 763\mu F \quad \text{Eq.25}$$

O capacitor de saída do PFC (capacitor do barramento CC) é o mesmo capacitor de saída do conversor *Boost* e foram utilizados dois capacitores de 1000 μ F em paralelo (critério *hold-up time*).

e) Cálculo do Indutor PFC

$$L_{PFC} = \frac{0,32 \cdot V_{in_{pico_{max}}}}{\Delta I_{max} \cdot f_s} = 4,52mH \quad \text{Eq.26}$$

4.5 Conversores CC-CC Abaixador ou *Buck*

O conversor *Buck* tem a finalidade de, a partir de uma tensão de entrada contínua fixa, fornecer uma tensão de saída média atenuada (BARBI; MARTINS, 2000). No projeto da UPS, é necessária a atenuação de tensão do barramento CC para a recarga da bateria.

A FIGURA 16 apresenta a topologia convencional do conversor *Buck*.

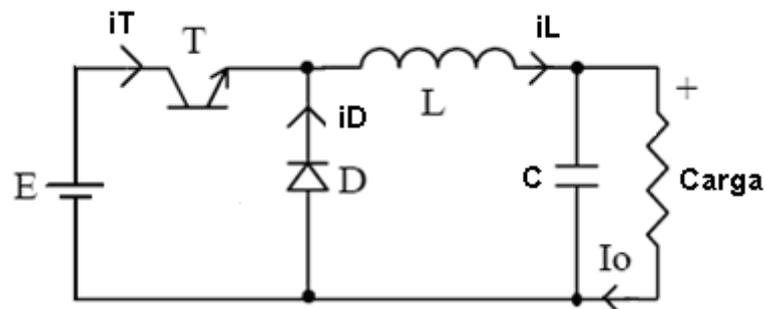


FIGURA 16 – Topologia do Conversor Buck.

Fonte: POMÍLIO, 2007.

Com a chave T acionada, ocorre a transferência de energia da fonte de tensão E para o indutor L e para o capacitor C. Neste momento o diodo D está reversamente polarizado (bloqueado). Quando a chave T é desligada a energia acumulada em L é entregue ao capacitor C e à carga. Nesta etapa, o diodo D fecha a circuito. Enquanto a corrente instantânea em i_L é maior que a corrente na carga, a diferença carrega o capacitor. Quando i_L for menor que a corrente na carga, o capacitor se descarrega para manter a corrente constante. (POMÍLIO, 2007).

São apresentadas na FIGURA 17, as formas de onda do conversor para o modo de condução contínua.

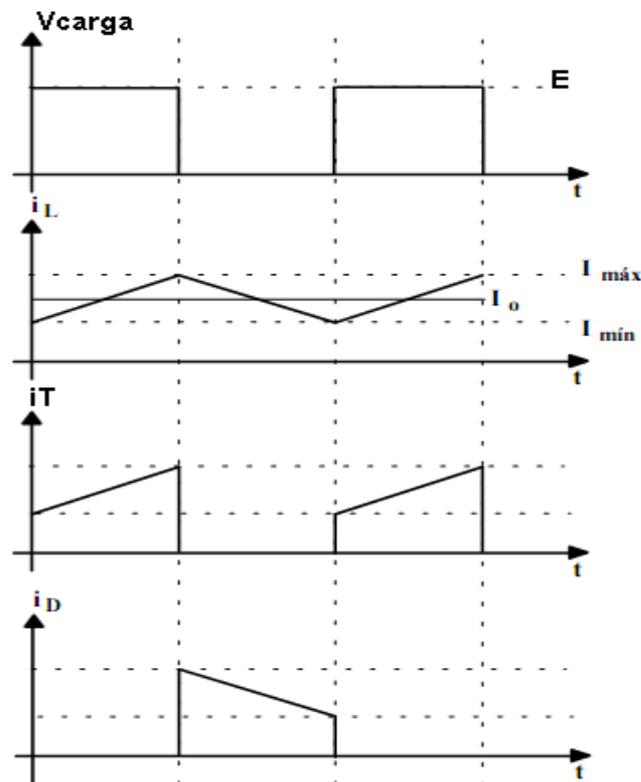


FIGURA 17 – Formas de onda do conversor buck em modo de operação contínua.

Fonte: VILLAÇA RANGEL. Eletrônica de Potência, 1996.

4.5.1 Dimensionamento dos componentes do Conversor *Buck*

As equações foram obtidas a partir do programa MATCAD e apresentam-se apenas os resultados obtidos.

a) Esforços na Chave Semicondutora de Potência

a.1) Tensão Máxima

$$V_{qbuck_{max}} = V_E = 100V \quad \text{Eq.27}$$

a.2) Corrente Média

$$I_{qbuck_{med}} = I_{buck} \cdot D = 84mA \quad \text{Eq.28}$$

a.2) Corrente Eficaz

$$I_{qbuck_{ef}} = I_{buck} \cdot \sqrt{D} = 221,36mA \quad \text{Eq.29}$$

b) Esforços no Diodo Buck

b.1) Corrente Média

$$I_{dbuck_{med}} = I_{buck} \cdot (1 - D) = 499,33mA \quad \text{Eq.30}$$

b.2) Corrente Eficaz

$$I_{dbuck_{med}} = I_{buck} \cdot \sqrt{1 - D} = 539,7mA \quad \text{Eq.31}$$

b.3) Tensão Reversa Máxima

$$V_{dbuck_{max}} = V_E = 100V \quad \text{Eq.32}$$

e) Indutor Buck

$$L_{BUCK} = L_{BOOST} \quad \text{Eq.33}$$

Utiliza-se o mesmo indutor tanto para o conversor *boost* como para o conversor *buck* simplificando o projeto.

e) Capacitor Buck

$$C_{BUCK} = D \cdot (1 - D) \cdot \frac{V_e}{8 \cdot L_{BUCK} \cdot f_s^2 \cdot 0,05 \cdot V_e} = 2,26\mu F \quad \text{Eq.34}$$

5 HARDWARE

Este capítulo demonstra as principais partes do projeto de hardware da UPS. O termo hardware significa, para este projeto, todos os circuitos eletrônicos que compõem a UPS desde os circuitos auxiliares até as estruturas conversoras. O esquemático e layout completo do hardware da UPS foram desenvolvidos no software *Proteus* versão 7.1 da *LabCenter Eletronics Ltd.* e encontram-se, respectivamente, nos apêndices A e B.

5.1 Fontes Auxiliares

No projeto da UPS encontram-se fontes que alimentam os circuitos, como amplificadores operacionais, *buffers*, sensores de corrente, circuitos grampeadores, entre outros. As baterias fornecem energia para as fontes de -15V, 3,3V, 5V e 15V possibilitando assim o funcionamento da UPS nos dois modos de operação (rede e bateria). Já a fonte de 12V é obtida através de um transformador 220V/12V+12V. Na FIGURA 18, apresentam-se todas as fontes citadas. Maiores detalhes no apêndice A.

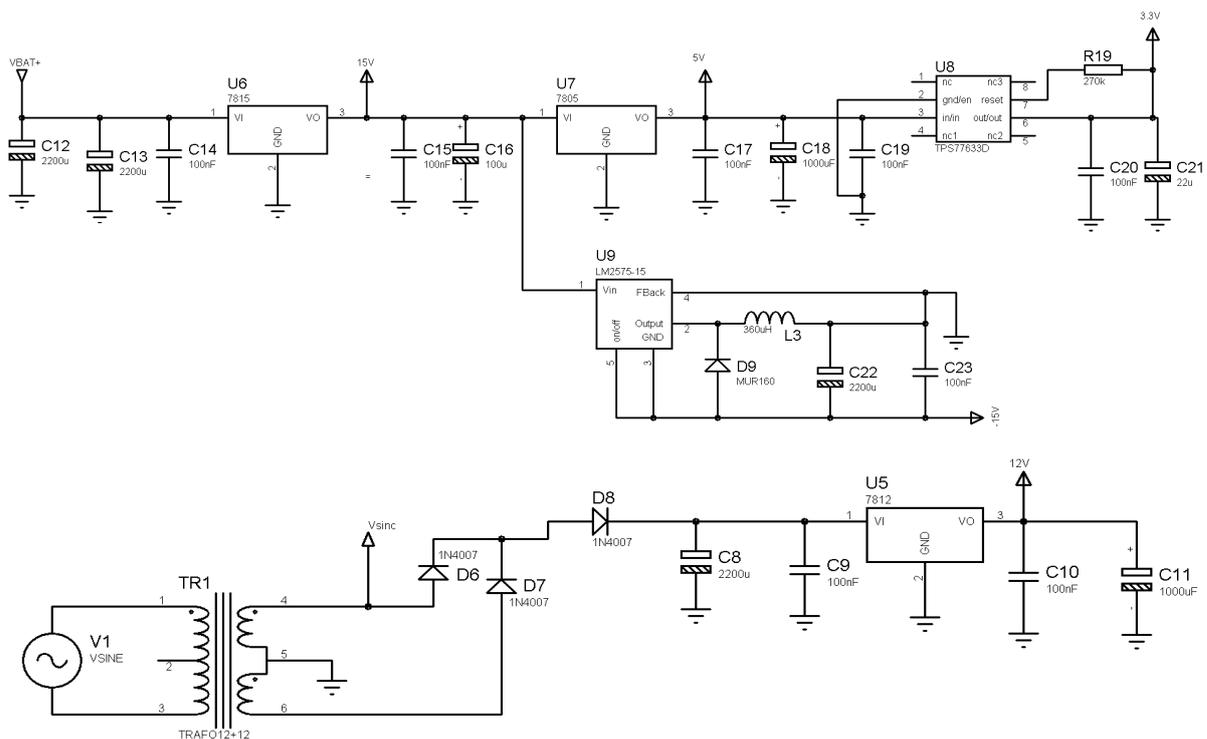


FIGURA 18 – Fontes Auxiliares.

5.2 Circuito de Pré-Carga

O circuito de pré-carga é utilizado para atenuar os picos de corrente no circuito de PFC no momento da partida com a rede CA. Neste instante de acionamento, a corrente de entrada do PFC é limitada por um resistor de 10R/10W. Após um tempo de 204ms, o circuito de pré-carga aciona um relé que desvia a corrente do resistor. A FIGURA 19 apresenta a estrutura de pré-carga que foi retirada e adaptada de BATISTA, 2006. O tempo para o acionamento do relé é determinado pelo potenciômetro de 50k Ω . Para maiores informações das conexões consultar apêndice A.

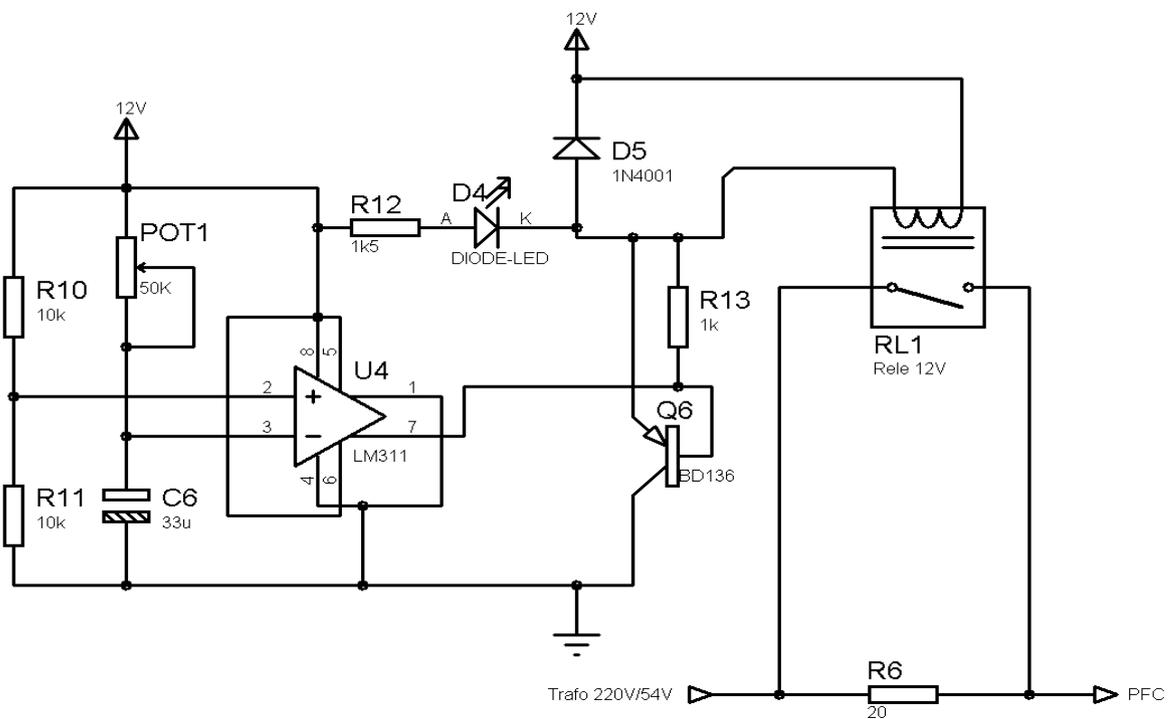


FIGURA 19 – Circuito de Pré-Carga.

5.3 Circuito de Sincronismo

A UPS possui um circuito com comparador analógico que detecta o início do ciclo da rede, para obter o sincronismo. Detectado o sincronismo, o programa no DSP busca valores em uma tabela gerando referência para o controle de corrente do PFC. Isso se faz necessário para que a corrente de entrada do PFC esteja no formato senoidal retificado

acompanhando a tensão após a ponte retificadora do PFC, obtendo assim a correção do fator de potência. A FIGURA 20 demonstra o circuito que detecta o sincronismo com a rede CA. Essa estrutura foi retirada e adaptada de BATISTA, 2006.

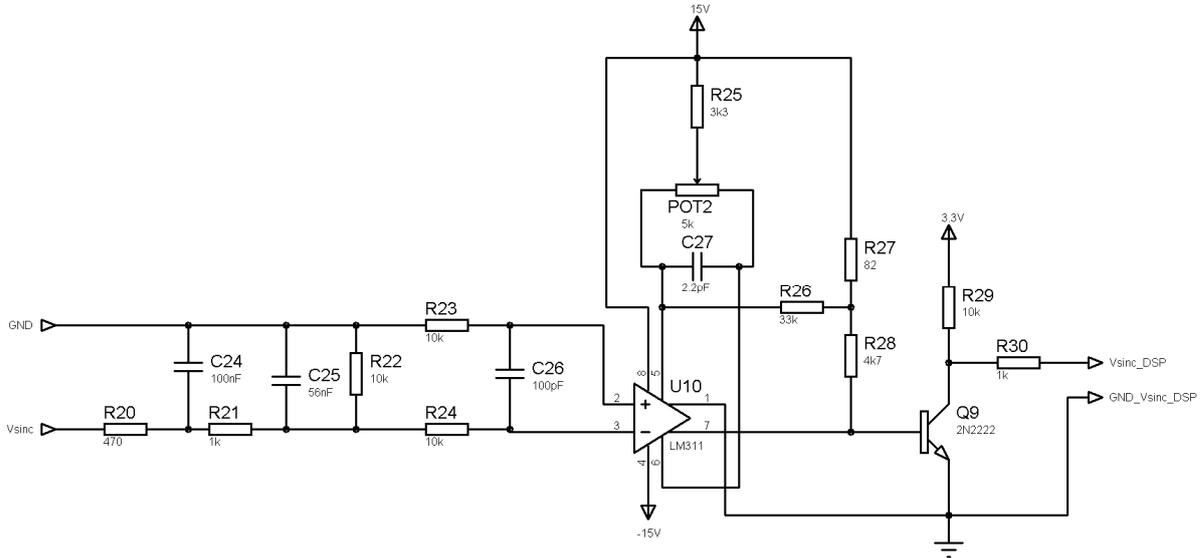


FIGURA 20 – Circuito de Sincronismo.

Quando a tensão da rede é maior que zero, tensão de saída V_{sync_DSP} está em nível lógico alto. Caso contrário está em nível lógico baixo, podendo assim identificar quando inicia um ciclo de rede.

5.4 Circuito Detector da Rede

Para que o DSP determine em qual modo a UPS está operando (rede ou bateria) é necessário um circuito de detecção de rede. No momento em que a UPS é energizada pela rede CA, o circuito identifica com nível alto de tensão em V_{rede_DSP} . Caso contrário, quando ocorre falha na rede CA, apresenta-se um nível baixo de tensão em V_{rede_DSP} . A FIGURA 21 mostra a estrutura. Maiores detalhes são encontrados no apêndice A.

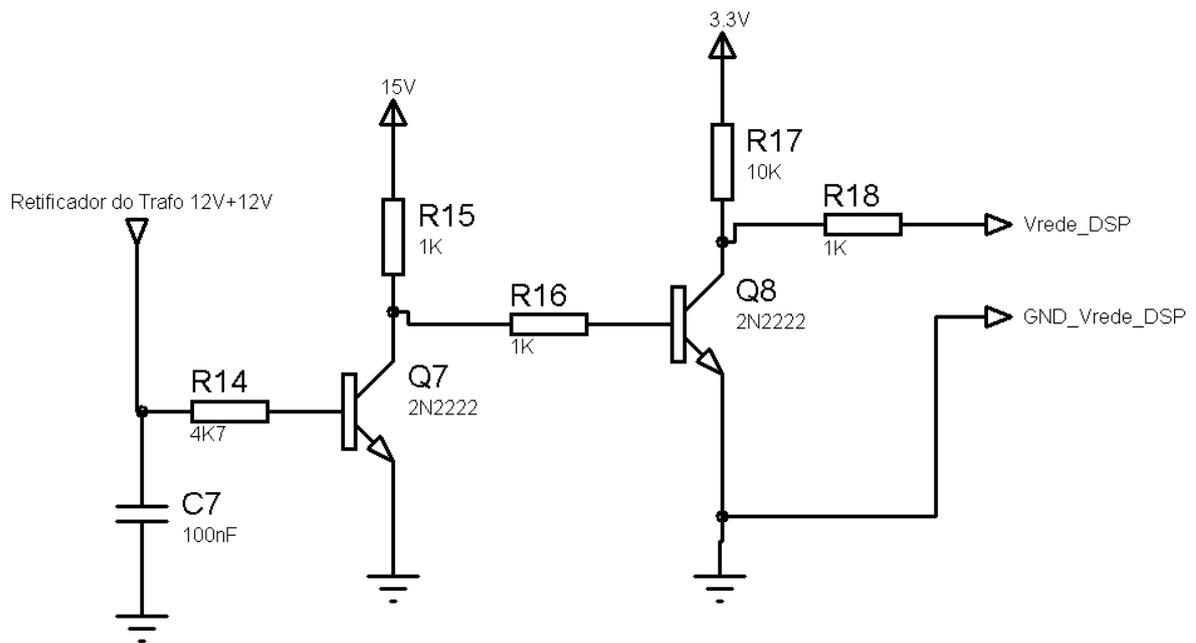


FIGURA 21 – Circuito Detector da Rede.

5.5 Estágio de Potência

O estágio de potência é composto por todos os conversores estáticos da UPS. As chaves de potência que comandam os conversores *Buck*, *Boost* e o inversor CC-CA estão localizadas no módulo de potência que é um circuito integrado contendo 6 *IGBTs*. Esse CI é o FSBS10HC60 com capacidade para 600V/10A contendo também circuitos internos de *driver* e de proteção. Na FIGURA 22, é apresentado o detalhamento interno do módulo e a localização de alguns componentes do estágio de potência.

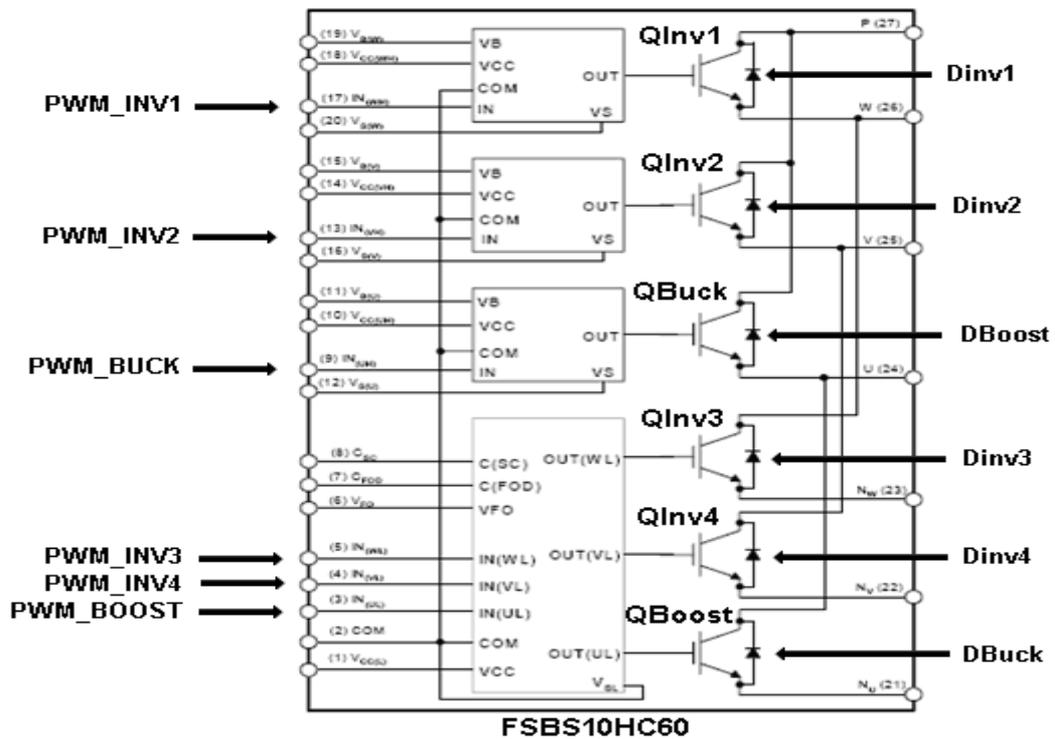


FIGURA 22 – Detalhamento interno do FSBS10HC60.

Além disso, é indicado pelo fabricante do módulo um circuito de aplicação típica para o acionamento correto dos IGBTs. Esse circuito e outros do estágio de potência que utilizam o FSBS10HC60 são encontrados na FIGURA 23.

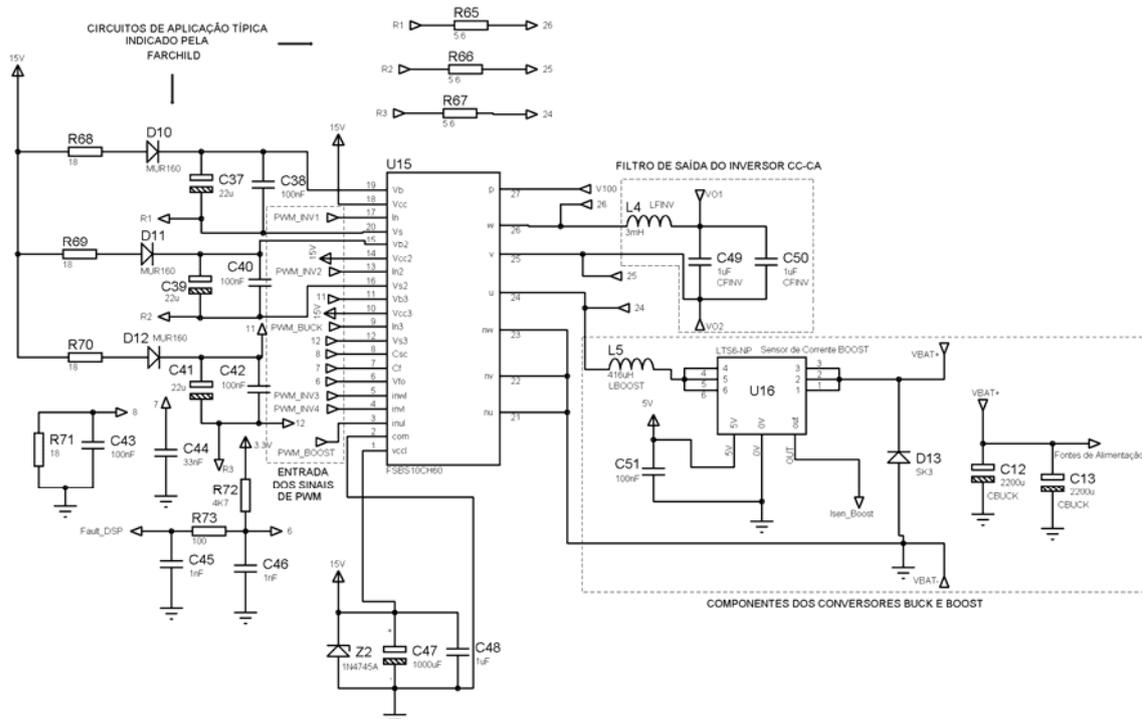


FIGURA 23 – Circuitos do estágio de potência que utilizam o FSBS10HC60.

O único conversor que não utiliza o módulo de potência é o conversor PFC que possui como chave o *MOSFET* IRF640. Além do IRF640 (QPFC), esse conversor é composto por uma ponte retificadora integrada (KBL04), um indutor de 4,2mH e dois capacitores de 1000uF/200V. Um sensor de corrente, um circuito de *snubber* e um circuito de acionamento do IRF640 foram apresentados na FIGURA 24, juntamente com o conversor PFC. O circuito de *snubber* serve evitar sobretensão e reduzir perdas de comutação na chave (BARBI; SOUZA, 1996).

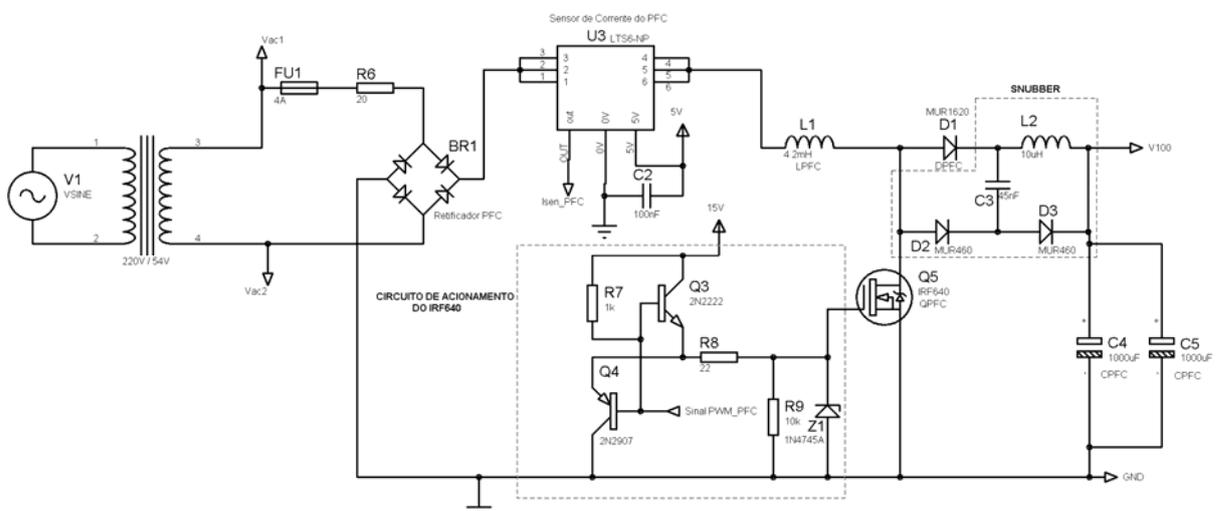


FIGURA 24 – Conversor PFC.

5.6 Filtros *Anti-Aliasing*

Para evitar o efeito *aliasing*, utilizaram-se filtros *anti-aliasing* antes dos sinais serem convertidos de analógicos para digitais pelo DSP. Os sinais que precisam ser digitalizados pelo DSP são VBAT+, V100, Isen_PFC, Isen_Boost e VO. O conceito de efeito *aliasing* e projeto do filtro foram estudados a partir de TOMASELLI, 2001 e BATISTA, 2006 e não serão abordados neste trabalho. A estrutura do filtro é apresentada na FIGURA 25.

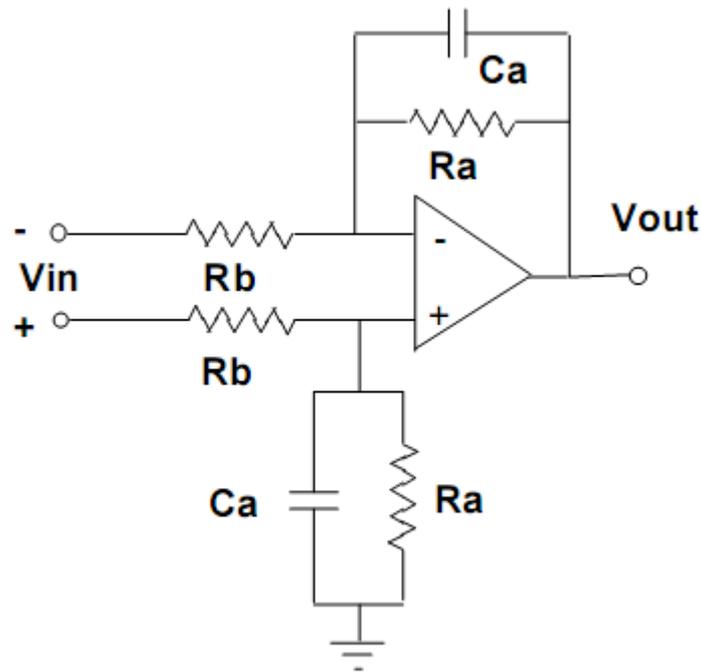


FIGURA 25 – Filtro Anti-Aliasing.

Fonte: TOMASELLI, 2001.

A equação 35 apresenta a função de transferência do filtro.

$$G_F(s) = \frac{k}{s + k} \quad \text{onde } k = \pi \cdot f_a \quad \text{Eq.35}$$

Para uma frequência de amostragem (f_a) de 20kHz e considerando $R_a = R_b = 10k\Omega$, determina-se os valores de C_a e C_b conforme a equação 34. Utilizou-se capacitores com valores comerciais de 1,5nF.

$$C_a = C_b = \frac{1}{k \cdot R_a} = 1,59nF \quad \text{Eq.36}$$

Para exemplificar a inserção dos filtros no projeto, apresenta-se na FIGURA 26, o sinal da UPS VBAT+ passando inicialmente por um divisor resistivo, em seguida pelo filtro e finalmente sendo limitado pelo CI TL7726 que protege as entradas do conversor A/D do DSP utilizado. Outro sinal da UPS, V100, também é filtrado e limitado da mesma forma que VBAT+ em uma outra estrutura igual a da FIGURA 25. Detalhes de outras conexões são apresentados no apêndice A.

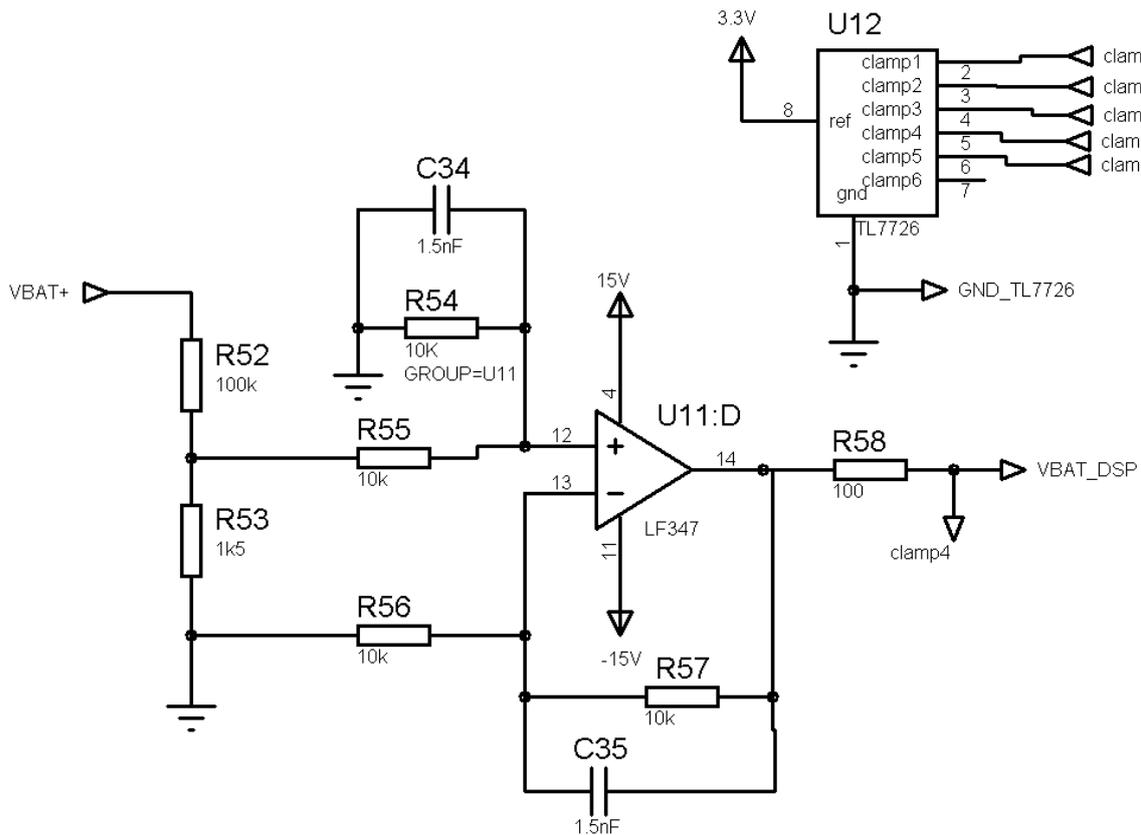


FIGURA 26 – Amostragem do Sinal VBAT+.

5.7 Amostragem das correntes

Para obter amostras da corrente tanto do conversor PFC e quanto do conversor *Boost*, utilizaram-se dois sensores de corrente LTS6-NP da LEM com corrente nominal de 6A e um ganho de aproximadamente 0,1. Definiu-se o ganho de saída do sensor através de dois resistores de 2,2k Ω . Além do sinal amostrado, o sensor acrescenta em sua saída um nível de tensão de 2,5V (*offset*). Esse nível será retirado por programação no DSP. O sinal de amostragem de corrente vindo da saída do sensor é submetido a um filtro *anti-aliasing* e em seguida ao CI limitador TL7726. Na FIGURA 27, apresenta-se o sensor de corrente do conversor PFC além do filtro e do CI limitador TL7726. Os conceitos de hardware para amostragem de corrente foram retirados e adaptados de BATISTA, 2006. Para maiores detalhes desses circuitos, consultar apêndice A.

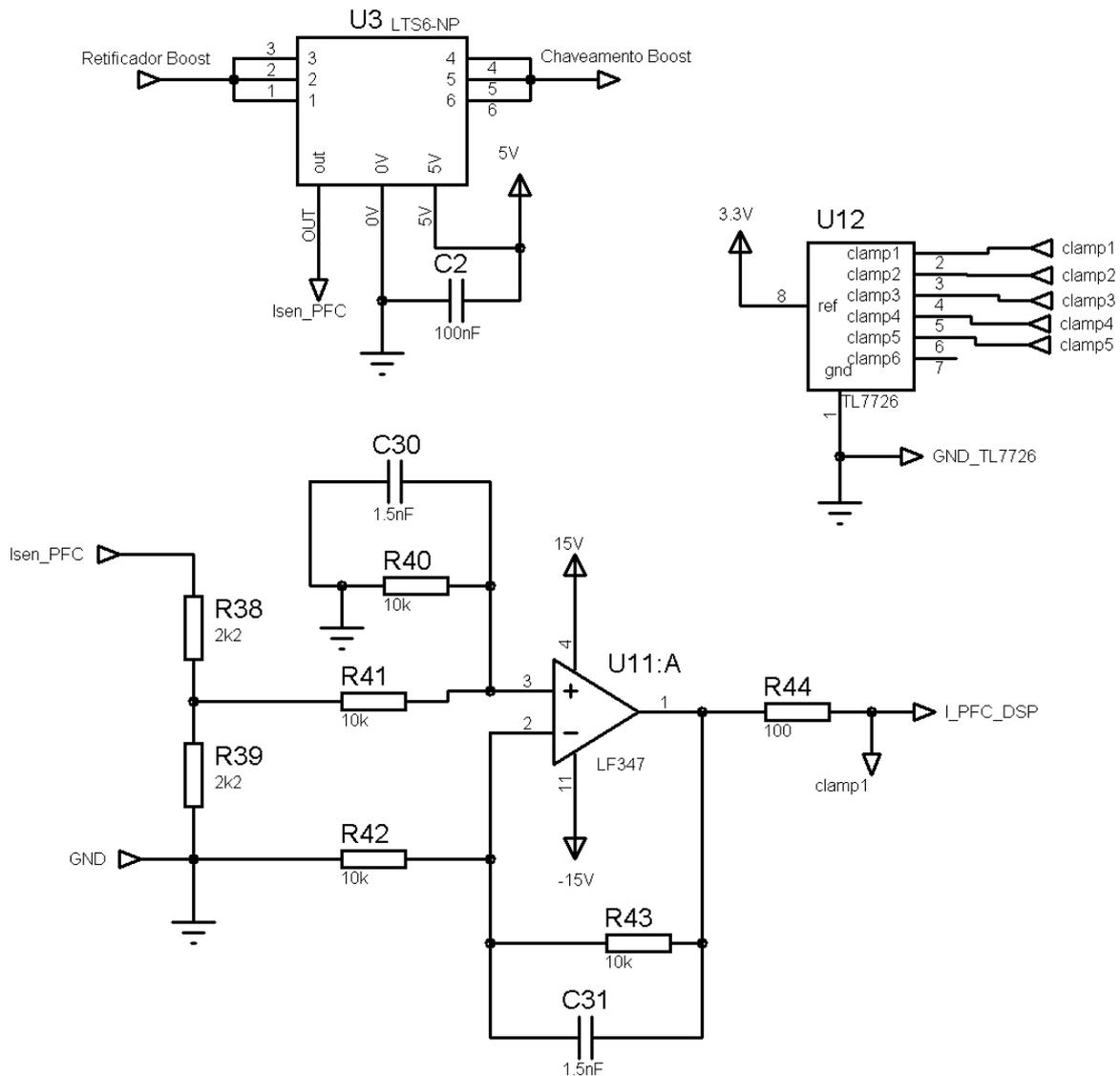


FIGURA 27 – Amostragem de Corrente.

5.8 Amostragem de Tensão de Saída do Inversor

A amostragem da tensão de saída do inversor é semelhante à amostragem de tensão de bateria VBAT+. Os sinais VO1 e VO2 são submetidos a um divisor resistivo e em seguida comparados no filtro *anti-aliasing*. Após a filtragem, é inserido um nível de *offset* com valor próximo a metade de 3,3V evitando que o sinal filtrado possa excursionar para valores negativos. Para que o sinal não fique defasado, insere-se uma estrutura amplificadora com

ganho unitário. Finalmente o CI 7726 limita a excursão do sinal entre 0V e 3,3V que será enviado ao DSP.

A FIGURA 28 detalha esse circuito de amostragem.

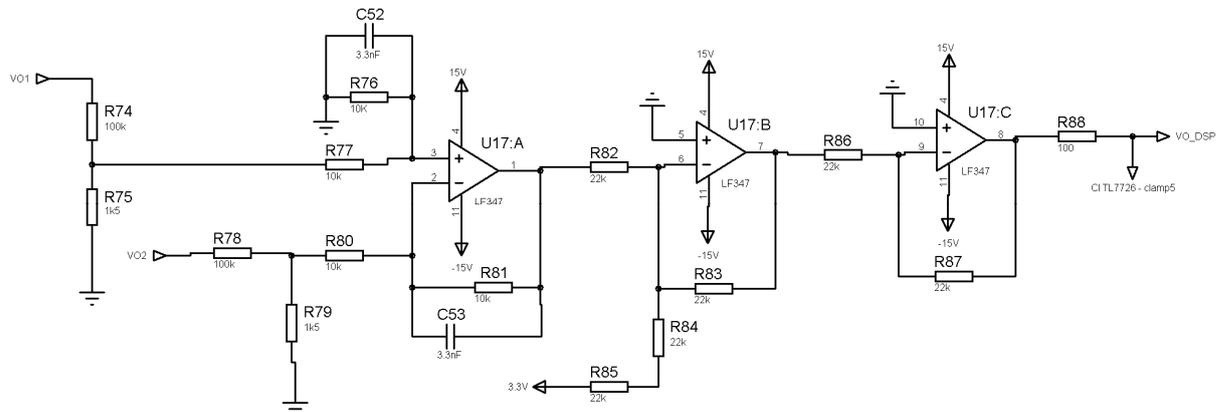


FIGURA 28 – Amostragem de Tensão de Saída do Inversor.

5.9 Circuitos de Comando e de Proteção

Os sinais de PWM e o sinal INIBE gerados pelo DSP são de níveis de tensão de 0V ou 3,3V. Para adaptar estes sinais ao nível de tensão dos circuitos lógicos e para acionamento das chaves de potência são utilizados os CI's de comando 7407 conhecidos como *buffers* (BATISTA, 2006).

Para proteger as chaves de potência na partida ou em situações de *reset* do DSP, foi implementada uma proteção utilizando portas lógicas E (CI 4081) e um sinal de controle (INIBE) através do pino de I/O - IOPC0. Quando o sinal INIBE está em nível lógico alto, ele bloqueia todos os PWMs que comandam os conversores. Detalhes dos circuitos citados estão presentes no apêndice A.

5.10 Conexões entre o kit ezDSP e a UPS

O kit ezDSP TMS320LF2407 se conecta com a UPS através de cabos blindados para atenuar ruídos. Os cabos foram confeccionados conforme a aplicação do projeto. Um guia de conexões entre o kit ezDSP TMS320LF2407 e a UPS encontram-se no apêndice C.

6 PROGRAMAÇÃO DO DSP

Apresentam-se, neste capítulo, as características do DPS utilizado, fluxogramas mostrando como foi desenvolvida a programação e todas as configurações de timer, conversor A/D, pinos de entrada e saída entre outras.

As principais configurações e rotinas da programação em linguagem *assembly* encontram-se no apêndice D.

6.1 O Processador de Sinais Digitais - DSP

O processador de sinais digitais utilizado foi o TMS320LF2407A da Texas Instruments. O DSP está inserido no kit de desenvolvimento ezDSP TMS320LF2407 da Spectrum Digital que foi utilizado para programação.

As principais características do DSP TMS320LF2407A (MUSSA, 2003) e de interesse no projeto da UPS são:

- Ciclo de instrução de 25ns;
- Desempenho de 40 MIPS;
- Até 32k de palavras de 16 bits de E²PROM Flash (4 setores);
- Até 2,5k de palavras de 16 bits de RAM de Dados/Programa, sendo 544 palavras de RAM de duplo acesso e até 2k palavras de RAM de simples acesso;
- Dois módulos gerenciadores de eventos (EVA e EVB);
- Dois *Timers* de propósito geral de 16 bits;
- Oito canais de PWM de 16 bits;
- Tempo-morto programável;
- Sincronização para o conversor analógico digital;
- Interface de memória externa: 64k de programa, 64k de dados e 64k de I/O;
- *Watchdog*;
- Conversor analógico-digital de 10 bits, com 8 ou 16 canais de entrada multiplexados e tempo de conversão de aproximadamente 500ns;

- Até 40 pinos de entrada e saída programáveis individualmente;
- Até cinco interrupções externas.

Outras características do processador podem ser encontradas nos manuais disponibilizados pelo fabricante Texas Instruments pelo site <http://www.ti.com>.

Toda programação do projeto da UPS foi realizada no ambiente de desenvolvimento *Code Composer* fornecido pelo fabricante do kit ezDSP TMS320LF2407.

Entre outras características, o *Code Composer* permite a criação de projetos com a construção dos programas em linguagem assembly, a inserção dos arquivos auxiliares na programação, a compilação e linkagem dos programas, a depuração do programa e a visualização de variáveis internas do DSP, conforme pode ser observado na FIGURA 29 (BATISTA, 2006).

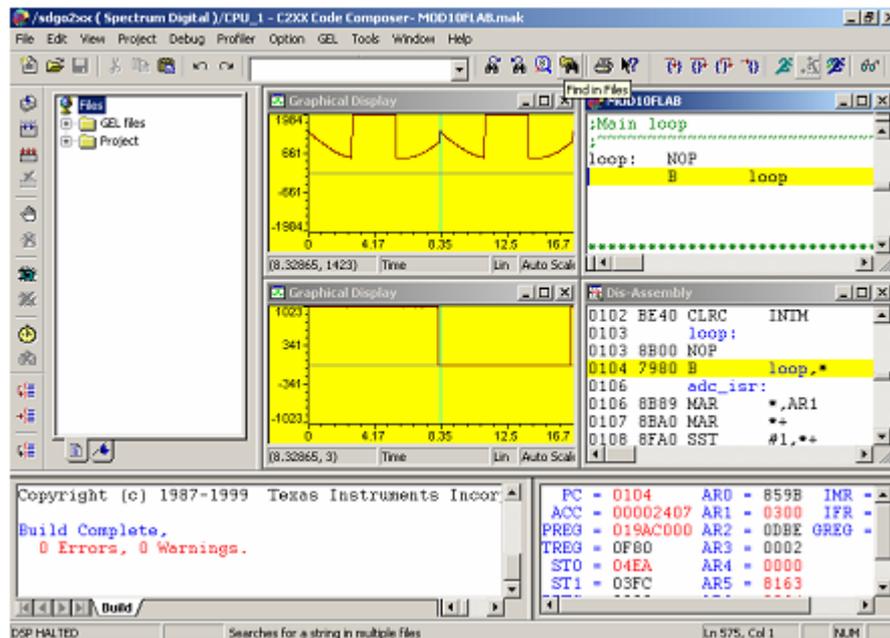


FIGURA 29 – Ambiente de Programação Code Composer

Fonte: BATISTA, 2006.

6.2 Fluxograma do Projeto UPS

Na FIGURA 30 é mostrado o fluxograma geral do projeto utilizado na programação em linguagem *Assembly*.

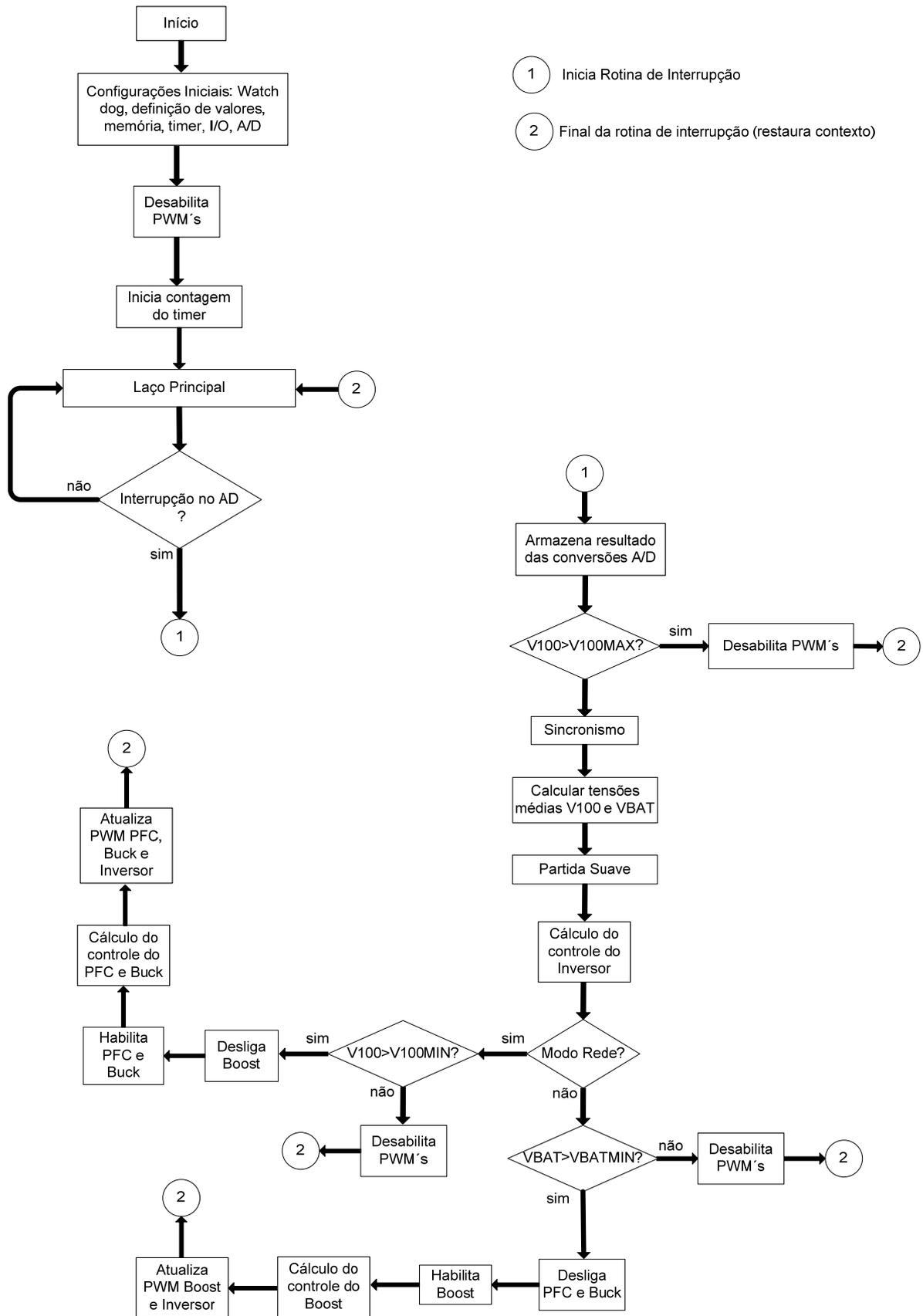


FIGURA 30 – Fluxograma Completo da UPS.

A programação que se baseia no fluxograma da FIGURA 30 foi realizada em linguagem *Assembly*. O formato numérico adotado na programação do DSP é o formato Q15, operando com valores entre -1 e 1. Portanto, os resultados das operações de produtos ficam limitados dentro desta faixa de operação (BATISTA, 2006).

O programa inicia com a definição dos valores iniciais (constantes e variáveis) que serão utilizados. Configuram-se os registradores de sistema, *watch-dog*, interrupção, pinos de entrada e saída (*I/O*), conversor A/D, gerenciador de eventos (configuração do *timer*) e *PWM*.

A seguir, o programa se direciona para um laço de espera até a conclusão das conversões analógico-digitais das 5 variáveis de entrada (VBAT, V100, IBOOST, IPFC e VO).

O timer1 do gerenciador de eventos A é disparado com o valor referente à frequência de comutação dos conversores de potência. O programa entra no laço de espera até o término da contagem do timer1 que por fim solicita as conversões A/D. Após realizar todas as conversões A/D necessárias, é solicitada uma interrupção pelo conversor A/D ocorrendo um desvio para rotina de interrupção. Nessa rotina são armazenados os resultados das conversões A/D, testes de condições de funcionamento, sincronismo, e a implementação dos controladores digitais.

Após o tratamento da rotina de interrupção o programa retorna ao laço de espera e aguarda a próxima conversão A/D.

6.3 Configurações

a) Definição dos Valores Iniciais e Inicialização do Sistema

O programa inicia com a definição de valores constantes e a declaração de variáveis como valores de razões cíclicas, ponteiro da tabela, tensão de bateria mínima, tensão de barramento CC máximo entre outros. Foram atribuídos valores iniciais para essas variáveis conforme o propósito do projeto. Também é reservada uma região da memória para a pilha e definidos os endereços dos vetores de interrupção no arquivo *vectors.asm*.

b) Configuração dos Pinos de Entrada e Saída Digitais (I/O)

A função dos pinos de I/O do projeto é definida pelos registros MCRA e MCRB. É escolhido através da configuração desses registradores se o pino terá a função primária de PWM, CAP, e etc. ou a função secundária de entrada ou saída digital (BATISTA, 2006). Todos os pinos citados neste item são do conector P2 do kit de DSP e estão apresentados no apêndice C.

Definida a função dos pinos como função secundária de entrada ou saída, configura-se quais serão entradas e quais serão saídas através dos registradores PADATDIR e PCDATDIR. Os pinos 3, 5 e 7 (IOPA0, IOPA2 e IOPA4) foram configurados com a função de I/O e definidos como entradas digitais. Eles representam respectivamente as entradas Fault, Vrede e Vsinc. Já o pino 21 (IOPC0) foi determinado como saída digital e representa a saída INIBE.

c) Configuração dos PWM's

Os pinos de 9 até 15 do conector P2 do kit de DSP (PWM1, PWM2, PWM3, PWM4, PWM5, PWM6 e T1PWM) foram configurados com a função de PWM através do registrador MCRA.

Para gerar os sinais de PWM, são carregados valores nos registradores de comparação CMPR1, CMPR2, CMPR3 e T1CMPR. Através do registrador ACTRA é possível definir se o PWM é ativado por nível lógico alto ou baixo e ainda forçar o PWM para algum desses níveis.

Os PWM1 (PWM_BUCK) e PWM2 (PWM_BOOST) são gerados através do registrador CMPR1. O valor carregado em CMPR1 é comparado com o valor da contagem do GP timer 1 (armazenado em T1CNT) e assim define-se a razão cíclica para o PWM1 e PWM2. No projeto, é necessário que quando o PWM_BUCK estiver em funcionamento, o PWM_BOOST esteja forçado para nível lógico baixo e vice-versa evitando o curto-circuito na UPS.

Para o correto funcionamento do inversor CC-CA, os pares PWM3 (PWM_INV3) e PWM4 (PWM_INV1) assim como PWM5 (PWM_INV2) e PWM6 (PWM_INV4) são configurados para agirem como pares complementares (um ativo alto e o outro ativo baixo). Portanto, o PWM4 terá a razão cíclica definida através do valor carregado em CMPR2 e o

PWM3 será o complemento de PWM4. Essa configuração é válida também para PWM5 e PWM6, mas utilizando o CMPR3.

A partir do registrador DBTCONA é possível configurar o tempo morto (*dead-band*) entre os PWM's para que não ocorra curto-circuito no conversor. Para o projeto, configurou-se um tempo morto de $2,2\mu\text{s}$ conforme indicação contida no *datasheet* do FSBS10HC60. A FIGURA 31 demonstra o exemplo do funcionamento dos PWM's do inversor CC-CA.

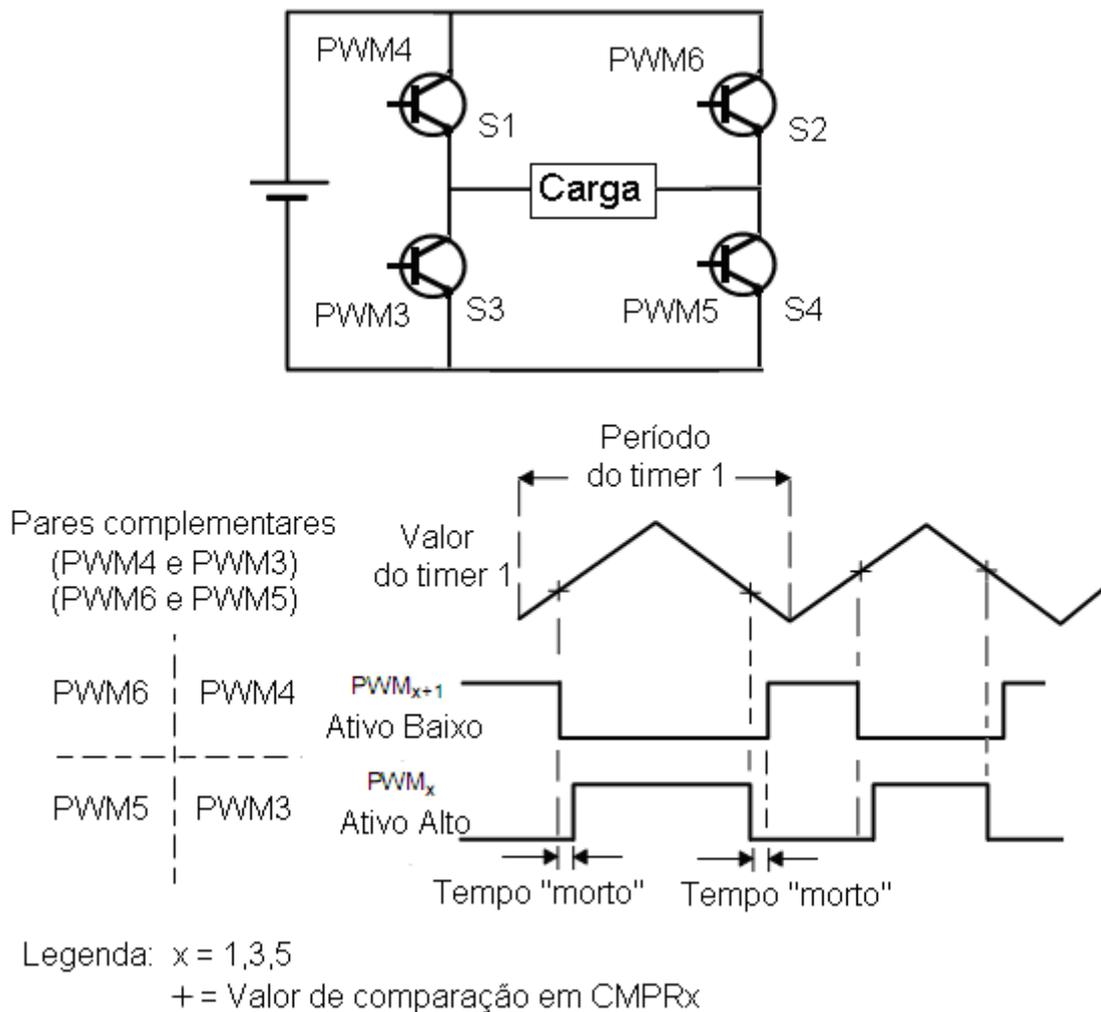


FIGURA 31 – Comportamento dos PWM's do Inversor CC-CA.

O T1PWM (PWM_PFC) é obtido através da comparação entre T1CNT (valor da contagem do GP timer1) e do valor carregado em T1CMPR, definindo assim a razão cíclica. Esse PWM foi configurado para ser ativado em nível lógico baixo no registrador GPTCONA.

d) Configuração do Conversor A/D

O conversor A/D foi configurado para realizar cinco conversões em modo cascata com os canais de entrada CONV0, CONV1, CONV2, CONV3 e CONV4. A partir dessas leituras, obtêm-se os valores digitalizados nos registradores RESULT0, RESULT1, RESULT2, RESULT3 e RESULT4 através dos pinos 2, 4, 6, 8 e 10 do conector P1 encontrado no kit de DSP (detalhes no apêndice C).

No registrador MAXCONV1 definiu-se o número de conversões a serem realizadas. Em CHSELSEQ1 e CHSELSEQ2 foram determinados os canais utilizados pelo conversor A/D. Já em ADCTRL1 configuram-se o *reset* do A/D, a prioridade da interrupção, os modos de operação (2 seqüências de 8 conversões ou cascadeamento para 16 conversões seqüenciais) entre outras.

As conversões são iniciadas quando o GP timer 1 finaliza uma contagem. No registrador ADCTRL2 é possível determinar o início da conversão A/D por um evento no EVA que neste caso é o GP timer 1. Outra configuração importante nesse registrador é a habilitação de interrupção (INT_ENA_SEQ1). No momento em que o conversor A/D digitaliza as variáveis o *flag* INT_FLAG_SEQ1 indica o início de uma interrupção. Esse *flag* é zerado dentro da interrupção para habilitar as próximas interrupções.

d) Configuração do GP timer 1

O GP timer 1 é um contador do gerenciador de eventos A (EVA) e foi configurado para operar na freqüência de 19920 Hz implicando 332 períodos de chaveamento em um período de rede. Esse timer funciona no modo de contagem contínua crescente e decrescente (*continuous up/down*) que foi configurado através de T1CON. Além disso, no final de uma contagem (*underflow*) do GP timer 1, ocorre o início das conversões A/D. Esse modo de disparo das conversões foi configurado em GPTCONA.

O valor da contagem do timer encontra-se no registrador T1CNT. No registrador T1PR é definido o valor de período de 1004 contagens (1004 contagens crescentes e 1004 decrescentes) gerando assim 2008 contagens e uma freqüência de 19920 Hz já que cada contagem é executada em 25ns. A FIGURA 32 apresenta o funcionamento do GP timer1.

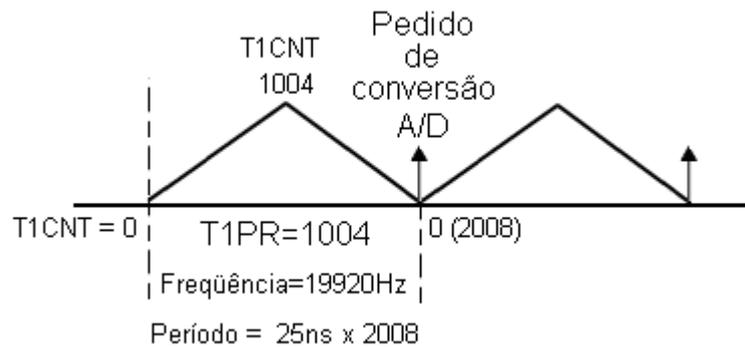


FIGURA 32 – Funcionamento do GP timer 1.

e) Interrupções

No desenvolvimento do programa, utilizou-se apenas a interrupção do conversor A/D que foi configurada através dos registradores IFR, IMR e INTM. As interrupções dos gerenciadores de eventos foram desabilitadas pela configuração dos registros EVAIFRA, EVAIFRB, EVAIFRC, EVBIFRA, EVBIFRB e EVBIFRC.

f) Verificação do tempo de processamento

É de interesse no projeto, saber se o DSP possui a capacidade de processar toda programação em uma frequência menor que a frequência de chaveamento. O programa completo da UPS contém 5 conversões A/D, testes de sincronismo, de proteção, de modo de operação, cálculos de valores médios, atualizações de variáveis e a implementação dos controladores digitais.

Para verificar o tempo que o DSP gasta nas cinco conversões A/D, capturou-se no início da interrupção, o valor do registrador T1CNT e também foi testado o bit13 do registrador GPTCONA que indica a direção da contagem do timer. Observou-se um tempo das conversões igual a 1,975µs. O mesmo teste foi realizado no final da interrupção do programa para saber o tempo total gasto pelo DSP para execução da programação realizada. Essa verificação ocorreu no programa de testes do PFC que contém a implementação do controlador de corrente e outras rotinas. O tempo observado para realização da interrupção foi de 10,75µs. Outros programas de testes como do *boost* e do inversor CC-CA foram executados em um menor tempo. Apesar não conter todos os cálculos dos controladores em

malha fechada na programação, conclui-se que o DSP pode executar toda a programação com facilidade, pois a o período de chaveamento é de 50,2 μ s.

6.4 Amostragem dos Sinais

Após o armazenamento das variáveis digitalizadas pelo conversor A/D nos registradores RESULT0 até RESULT4, os valores armazenados são adaptados para o formato Q15 e carregados nas variáveis definidas no início do programa: V100, IBOOST, VBAT, IPFC e VO.

As amostras das correntes IBOOST e IPFC contêm um nível de *offset* vindo dos sensores de corrente. Esse *offset* é de 2,5V e foi retirado por programação. Para isso, calcula-se quanto o nível de tensão de 2,5V representa em formato Q15. Em seguida, subtrai-se o valor encontrado do valor armazenado em IPFC. O mesmo acontece para IBOOST.

Para as variáveis V100 e VBAT foi necessário calcular seus valores médios evitando mudanças bruscas que afetariam a ação de controle. A média é obtida através de cálculos parciais da média e essas parcelas somadas resultam em um valor de média final.

A média de V100, por exemplo, é o valor de V100 multiplicado por 1/166 (meio período de rede) e armazenado em soma_V100. A cada incremento da variável contagem, é somado um novo valor parcial da média ao valor parcial da média anterior. Quando contagem for 1 ou 167, é armazenado em V100MED o valor que contém a soma_V100 e a contagem é zerada. Na FIGURA 33 é apresentado o fluxograma do cálculo da média.

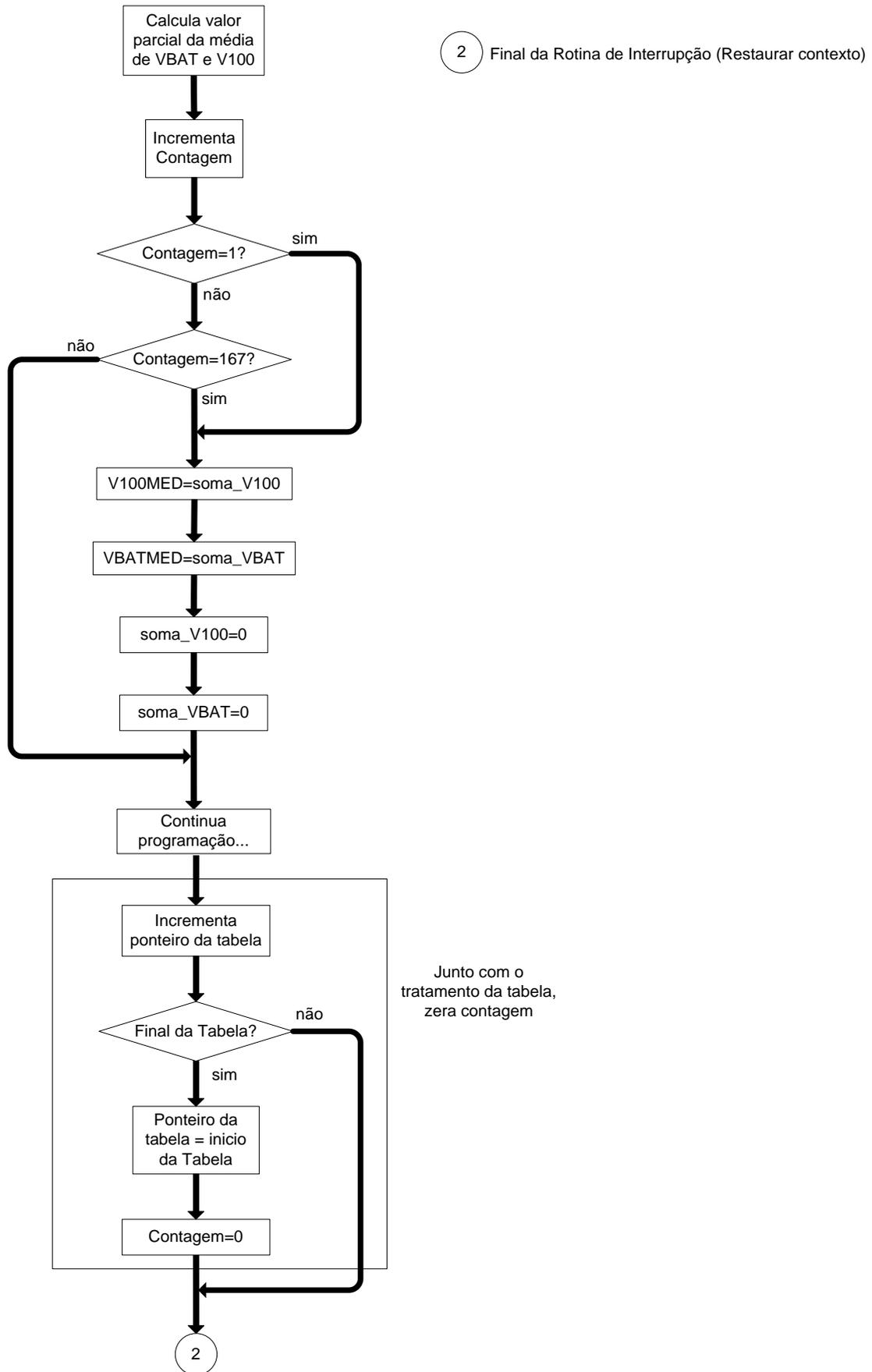


FIGURA 33 – Fluxograma do Cálculo da Média.

Para não ocorrer distorções na corrente do PFC que é similar a senóide retificada da FIGURA 34, os valores de V100MED foram atualizados no início de cada meio período de rede. Esses valores são utilizados no controle da malha de tensão do PFC.

O valor de VBATMED também é atualizado a cada 120Hz pois as malhas de tensão devem ser mais lentas do que as malhas de corrente. Isto simplifica a modelagem do sistema.

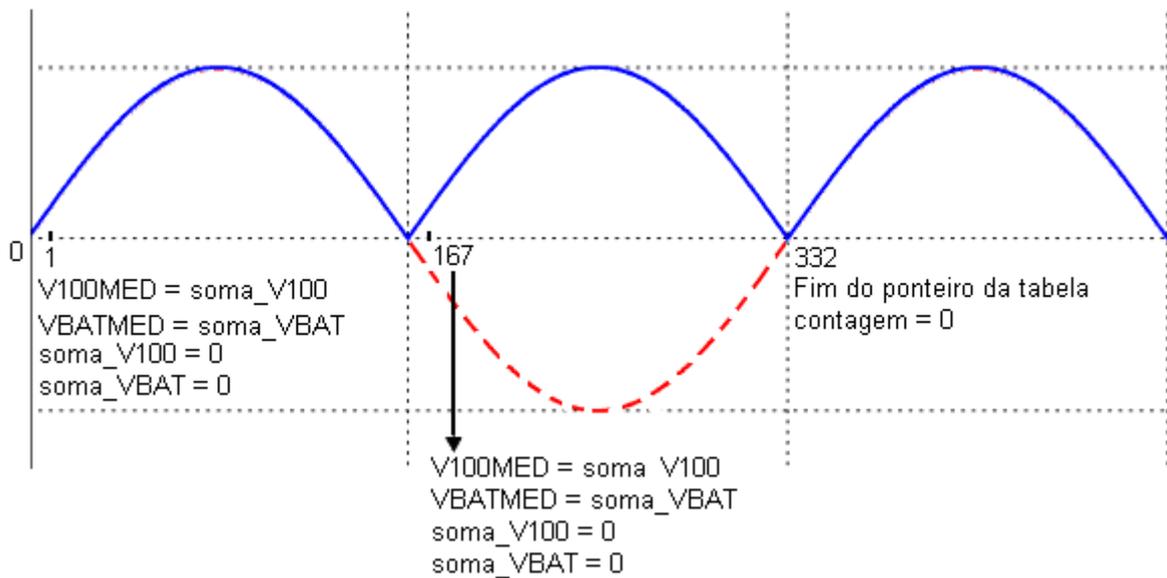


FIGURA 34 – Apresentação dos lugares de atualização de V100 e VBAT.

6.5 Teste de Sincronismo

Para sincronizar a UPS com a rede elétrica foi utilizado o sinal da entrada digital IOPA4 e detectada a sua transição de borda de subida. Essa detecção é obtida testando as variáveis Vsinc e seu valor anterior Vsinc_ant (BATISTA, 2006).

Quando o valor da variável Vsinc for maior que Vsinc_ant, detecta-se o início do semiciclo positivo da fase da rede. Neste instante, o ponteiro da tabela é reiniciado.

Existe a necessidade de sincronizar a UPS com a rede CA para que a corrente do PFC esteja em fase e possua o mesmo formato da tensão da rede obtendo assim o fator de potência o mais próximo de 1. A corrente do PFC é comparada com uma tabela de pontos contida na programação do DSP que representa uma senóide pura. Essa tabela é dividida em 332 pontos e também é utilizada em outras partes do programa.

6.6 Testes de Proteção

Na programação, foram realizados testes contra sobretensões, sobrecorrentes e subtensões da UPS. A tensão do barramento CC deve estar compreendida entre limites máximo e mínimo (V100MAX e V100MIN). Portanto, o teste de sobretensão é feito no início da rotina de interrupção comparando o valor da variável V100 com V100MAX. Caso V100 seja maior que V100MAX o programa desabilita os sinais de PWM da UPS. Já o teste de subtensão, ocorre após a identificação do modo de operação (rede ou bateria). Identificado o modo rede, o programa testa se V100 é menor que V100MIN desabilitando os PWM's se a condição for verdadeira. Assim, garante-se que o chaveamento do conversor PFC não acontecerá fora dos limites estabelecidos.

A variável que representa a tensão de bateria (VBAT) também obedece a um limite mínimo de operação. Identificado o modo bateria pelo programa, ocorre um teste para verificar se VBAT é menor que VBATMIN. Caso a condição for verdadeira, realiza-se o desligamento dos sinais de PWM do projeto.

6.7 Implementação dos Controladores

Os controladores digitais são representados pela equação a diferenças e implementados como equações algébricas realizadas pelo DSP (BATISTA, 2006). O projeto dos controladores e suas respectivas simulações não serão abordados neste documento tendo em vista que serão tarefas a serem desenvolvidas pelos acadêmicos da disciplina de DSP aplicado ao Controle.

A implementação do controlador de corrente do PFC é a resolução das equações 37, 38, 39, 40 e 41 através da programação no DSP. Essas equações foram desenvolvidas com base na tese de doutorado de Flávio Batista (BATISTA, 2006).

a) Erro de Corrente PFC (ErroIP)

$$ErroIP = IPREFR - IPFC \quad \text{Eq.37}$$

b) Parcela Proporcional da Razão Cíclica (DPP)

$$DPP = 12,17.ErroIP \quad \text{Eq.38}$$

c) Parcela Integral da Razão Cíclica (DPI)

$$DPI = DPIANT + 2,54.ErroIP \quad \text{Eq.39}$$

d) Razão Cíclica Total (DPFC)

$$DPFC = DPP + DPI \quad \text{Eq.40}$$

e) Atualização da parcela integral da razão cíclica

$$DPIANT = DPI \quad \text{q.41}$$

A FIGURA 35 apresenta o sistema de controle completo do PFC. A programação para o cálculo do controlador da malha de tensão também é a resolução de equações algébricas realizadas pelo DSP. No projeto, essas equações da malha de tensão não foram implementadas.

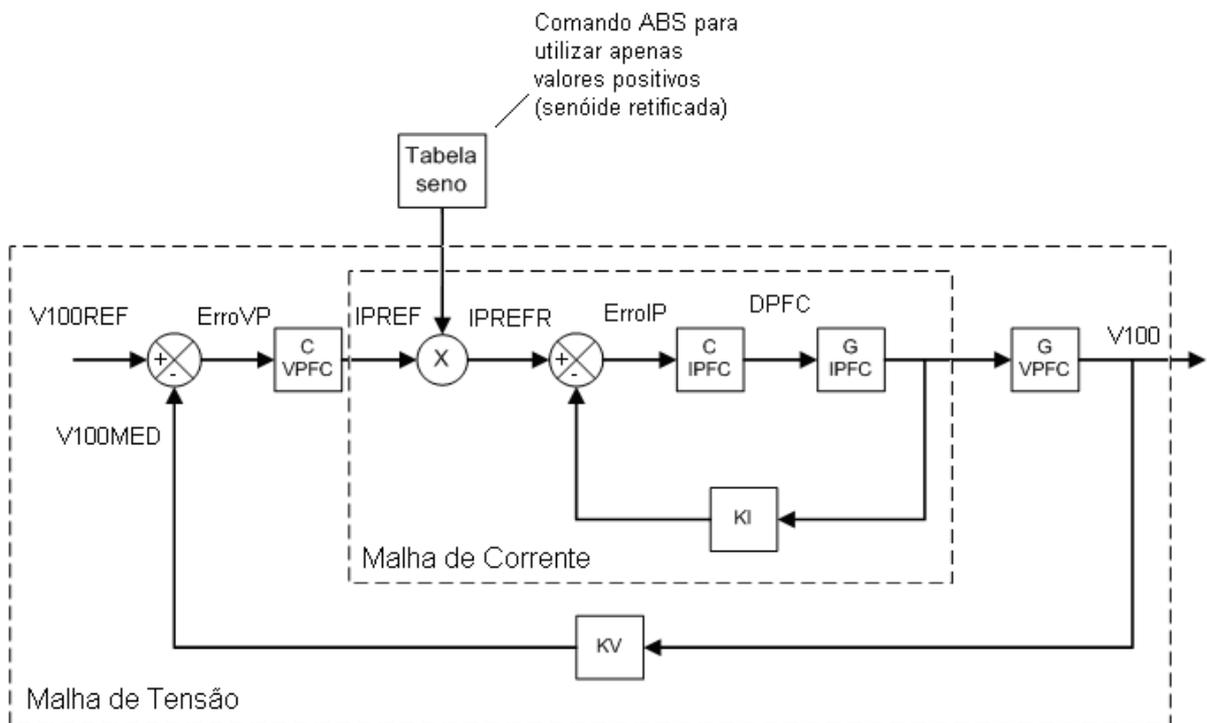


FIGURA 35 – Sistema de Controle Completo do PFC.

Na FIGURA 36, mostra-se o sistema de controle do PFC implementado, em malha fechada de corrente e em malha aberta de tensão. Para esse teste foi escolhido um valor fixo para IPREF.

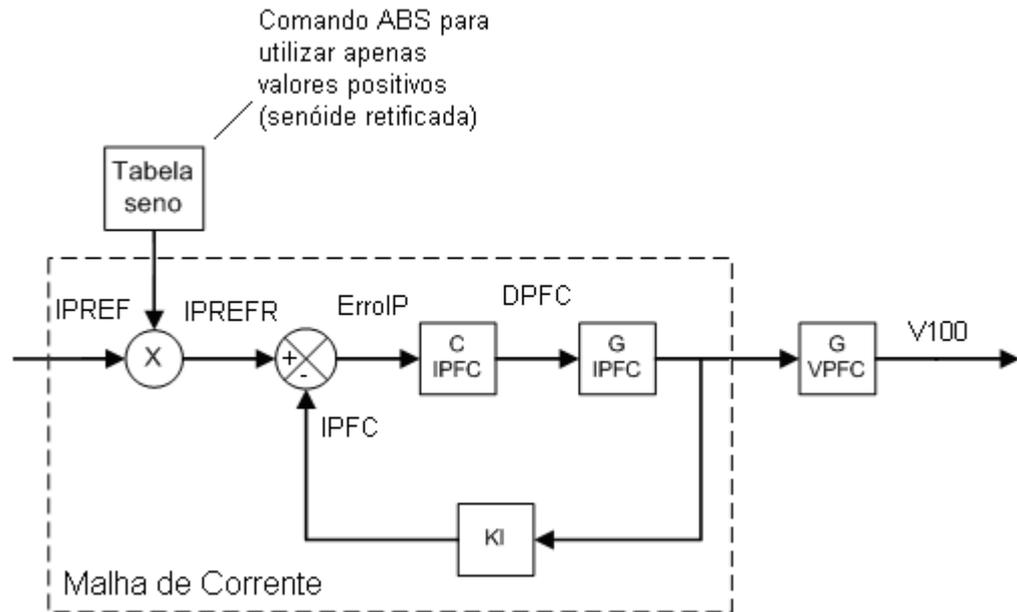


FIGURA 36 – Malha de corrente do PFC e a localização das variáveis.

Além da implementação do controlador de corrente do PFC, foram desenvolvidas programações para testes em malha aberta do inversor CC-CA e do conversor *Boost*. Os testes em malha aberta e a implementação dos controladores do conversor *Buck* serão desenvolvidos na continuidade do projeto.

A programação de teste em malha aberta do conversor *Boost* consiste em gerar uma razão cíclica fixa externada por PWM2 (PWM_BOOST). Para o inversor CC-CA foi desenvolvido um cálculo de razão cíclica com referência senoidal originando, posteriormente ao filtro de saída, uma tensão de saída no formato de senóide.

Para calcular o valor da razão cíclica do inversor CC-CA via programação, multiplicaram-se os valores apontados pelo ponteiro da tabela do seno pelo valor de VOREF. Esse valor VOREF em malha aberta é definido pela equação 42.

$$VOREF = \frac{54 \cdot \sqrt{2}}{\frac{100}{2}} \cdot 1004 = 384 \quad \text{Eq.42}$$

Além disso, é somado um *offset* declarado como “meio” com metade do valor da contagem do timer para que a razão cíclica seja sempre positiva. Na FIGURA 37, é apresentada a geração da razão cíclica do inversor CC-CA.

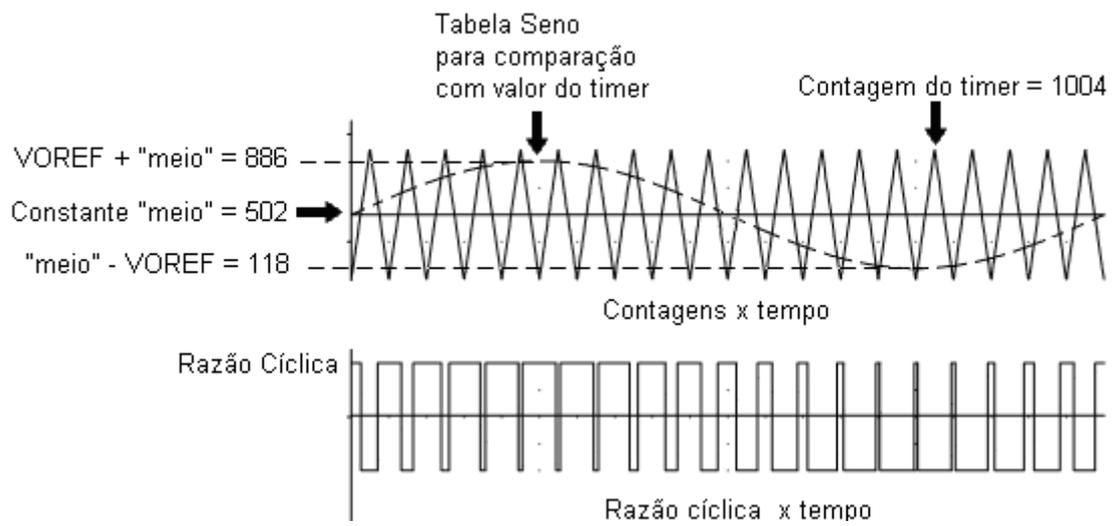


FIGURA 37 – Razão cíclica para o inversor CC-CA.

7 RESULTADOS EXPERIMENTAIS

Apresentam-se, nessa seção, os testes e resultados obtidos do projeto da UPS.

7.1 Testes Iniciais

a) Testes nas fontes de tensão

Antes de qualquer teste com o protótipo, mediram-se os níveis de tensão das fontes de 15V, -15V, 12V, 5V e 3,3V. Na fonte de 15V houve um problema de aquecimento que foi solucionado com a inserção de um dissipador. Também aconteceu mau funcionamento na fonte de -15V que apresentou ruído e problemas na partida. Esse ruído em alta frequência interfere nas medições do conversor A/D. Portanto, optou-se por utilizar uma fonte externa de -15V e o problema será resolvido na continuidade do trabalho. As outras fontes operaram normalmente.

b) Testes no circuito de pré-carga

O circuito de pré-carga é utilizado para evitar picos de tensão nos componentes do circuito de PFC quando ocorre a carga dos capacitores do barramento CC (CPFC). Portanto, após o acionamento do trafo de 220V / 54V a corrente percorre por um resistor de 10R /10W em um intervalo de 204ms e logo após é acionado um desvio desse resistor pelo circuito de pré-carga. A FIGURA 38 mostra o tempo de atraso até o acionamento do circuito de pré-carga comparado com a tensão de saída do transformador de 12V+12V, apenas para observar o tempo de acionamento, pois tanto o transformador de 54V quanto o de 12V+12V estão conectados à rede CA.

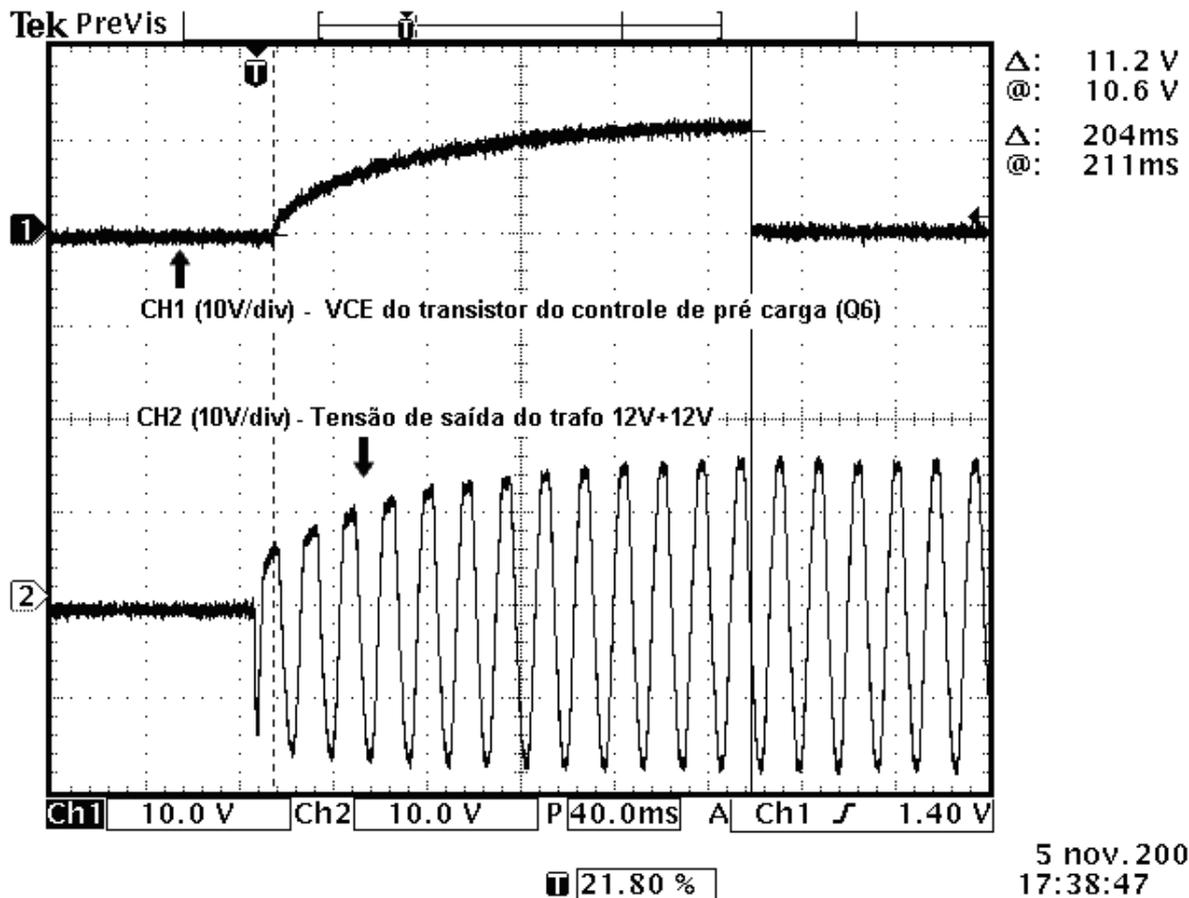


FIGURA 38 – Tempo de pré-carga.

A FIGURA 39 apresenta o comportamento da tensão de saída do PFC comparado com a corrente de entrada do PFC. Observa-se a partida do circuito com o resistor 10R/10W e logo após a tensão aumenta devido ao desvio desse resistor como mencionado anteriormente. Na parte inferior da FIGURA 39 apresenta-se a corrente do PFC com certa atenuação nos 204ms iniciais e em seguida ocorre um aumento em seu valor. Os valores de tensão e corrente mostrados são considerados sem o chaveamento do conversor. O teste foi realizado com o auxílio de um *varivolt* na entrada do PFC que possibilita ajustar uma tensão de entrada menor que a do trafo de 54V e a inserção de um resistor de 100Ω na saída do conversor (bornes do barramento CC).

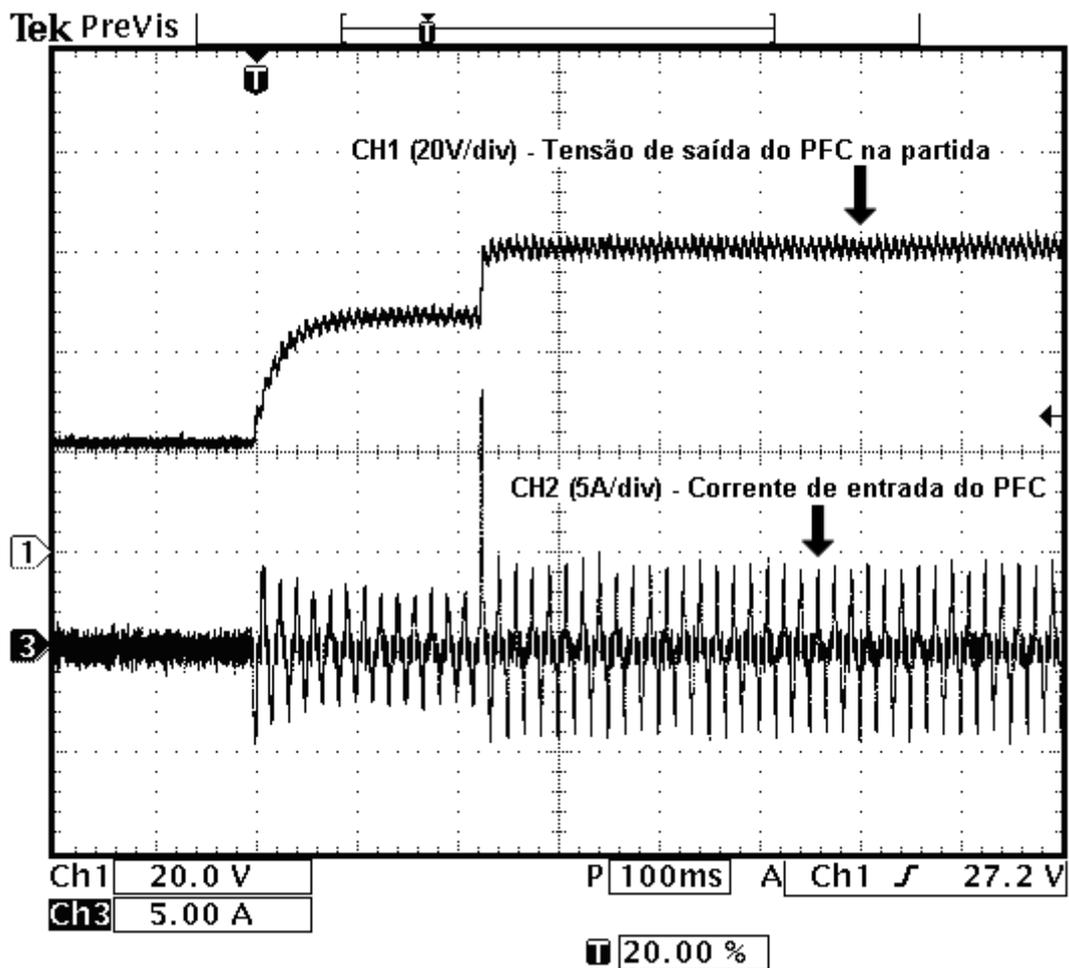


FIGURA 39 – Tempo de pré-carga e corrente de entrada.

c) Testes no circuito de sincronismo

A UPS possui um circuito com comparador analógico que detecta o início do ciclo da rede, para obter o sincronismo. A FIGURA 40 apresenta a tensão senoidal na saída do trafo de 12V+12V que representa a rede e a saída do circuito de sincronismo Vsinc_DSP.

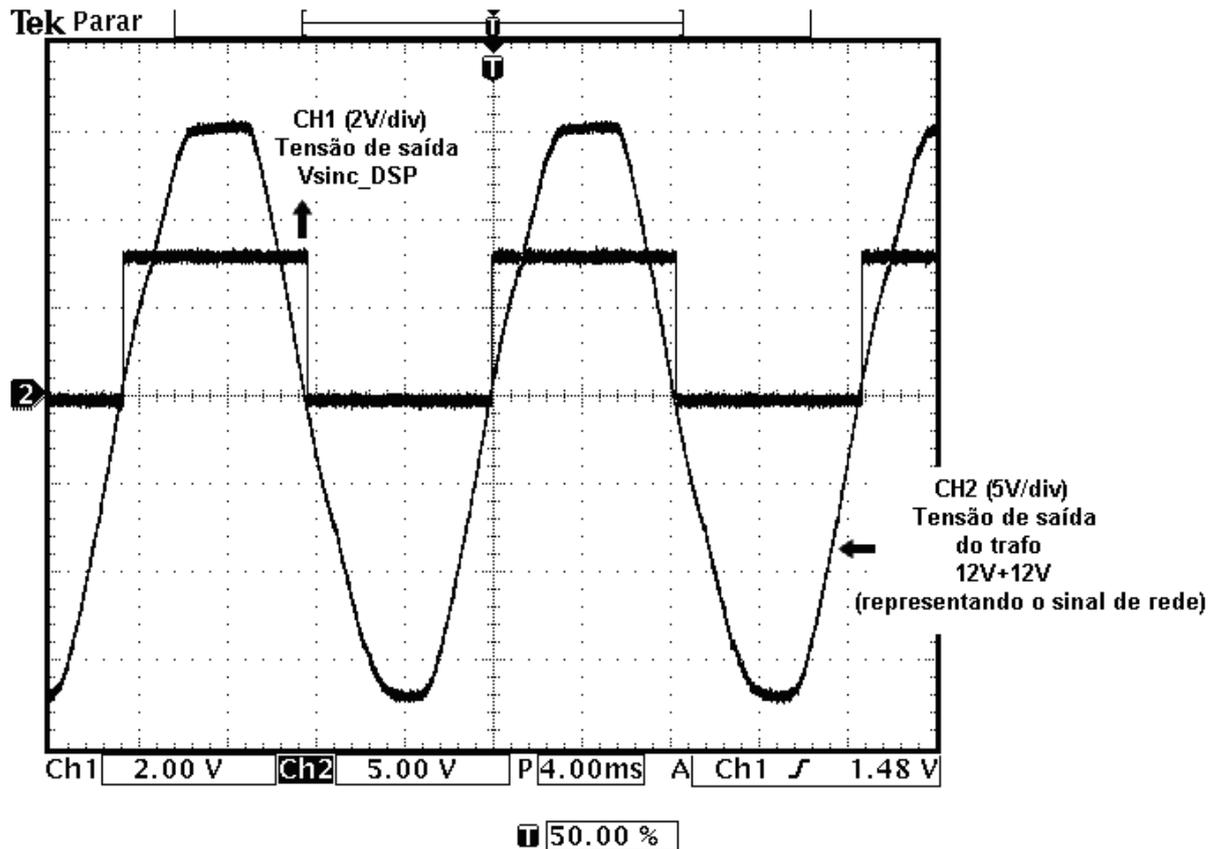


FIGURA 40 – Sincronismo com a rede.

Quando a tensão da rede é maior que zero, tensão de saída Vsinc_DSP está em nível lógico alto. Caso contrário está em nível lógico baixo, podendo-se identificar quando inicia um ciclo de rede.

d) Testes no circuito detector da rede

Para que o DSP determine em qual modo a UPS está operando (rede ou bateria) é necessário um circuito de detecção de rede. A tensão de saída desse circuito (Vrede_DSP) e a tensão do transformador de 12V+12V são mostradas na FIGURA 41. Observa-se que no momento em que a UPS é energizada pela rede CA, o circuito identifica com nível alto em Vrede_DSP.

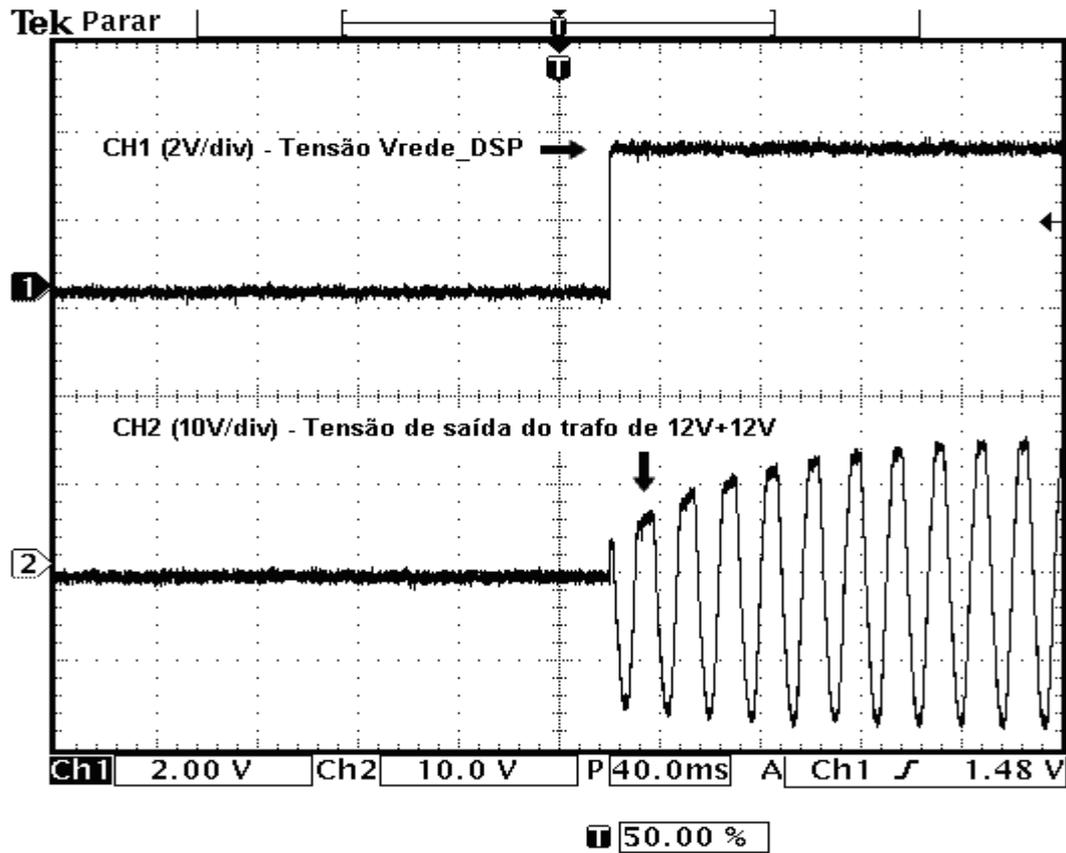


FIGURA 41 – Detecção da presença da rede.

Da mesma forma, quando ocorre falha na rede CA o circuito identifica com nível baixo em Vrede_DSP. A FIGURA 42 apresenta esse comportamento.

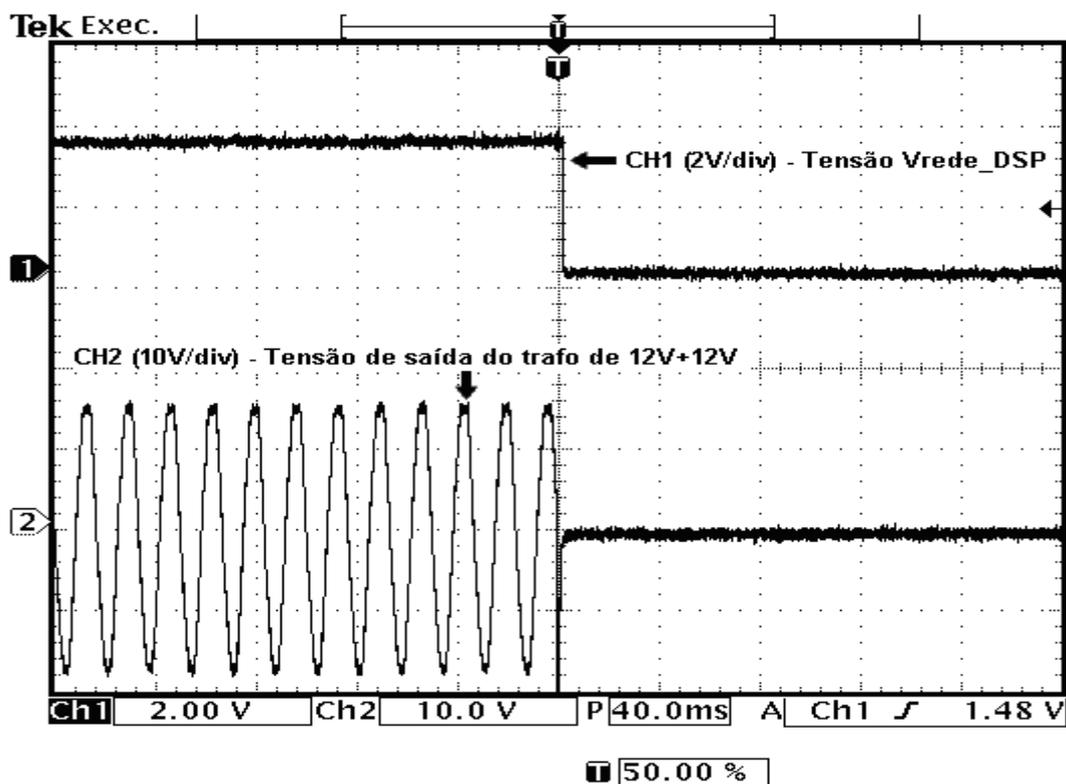


FIGURA 42 – Detecção da ausência da rede.

7.2 Testes com os Conversores de Potência

Foram realizados no projeto, testes individuais com os conversores *Boost*, Inversor CC-CA e PFC. Nos programas de testes é habilitado apenas o conversor que será testado.

a) Testes no conversor *Boost*

O teste no conversor foi realizado em malha aberta, com uma razão cíclica fixa. Utilizou-se uma fonte de alimentação de 24V / 5A para obter a tensão de bateria da UPS. Nos bornes do barramento CC (saída V100), foi inserida uma carga com resistência de 100Ω para simular a potência do protótipo em torno de 100W. Inicialmente, foi aplicada uma razão cíclica por programação de 50%. A tensão de saída obtida foi elevada para 47,6V ficando muito próximo do valor teórico (48V) calculado pela equação 8 do capítulo 4. Finalizando o teste, foi imposta uma razão cíclica de 76%. A tensão encontrada na saída do conversor foi de 95,5V. O valor teórico calculado pela equação 8 do capítulo 4 é 100V. As FIGURA 43 e FIGURA 44 apresentam os resultados dos testes descritos.

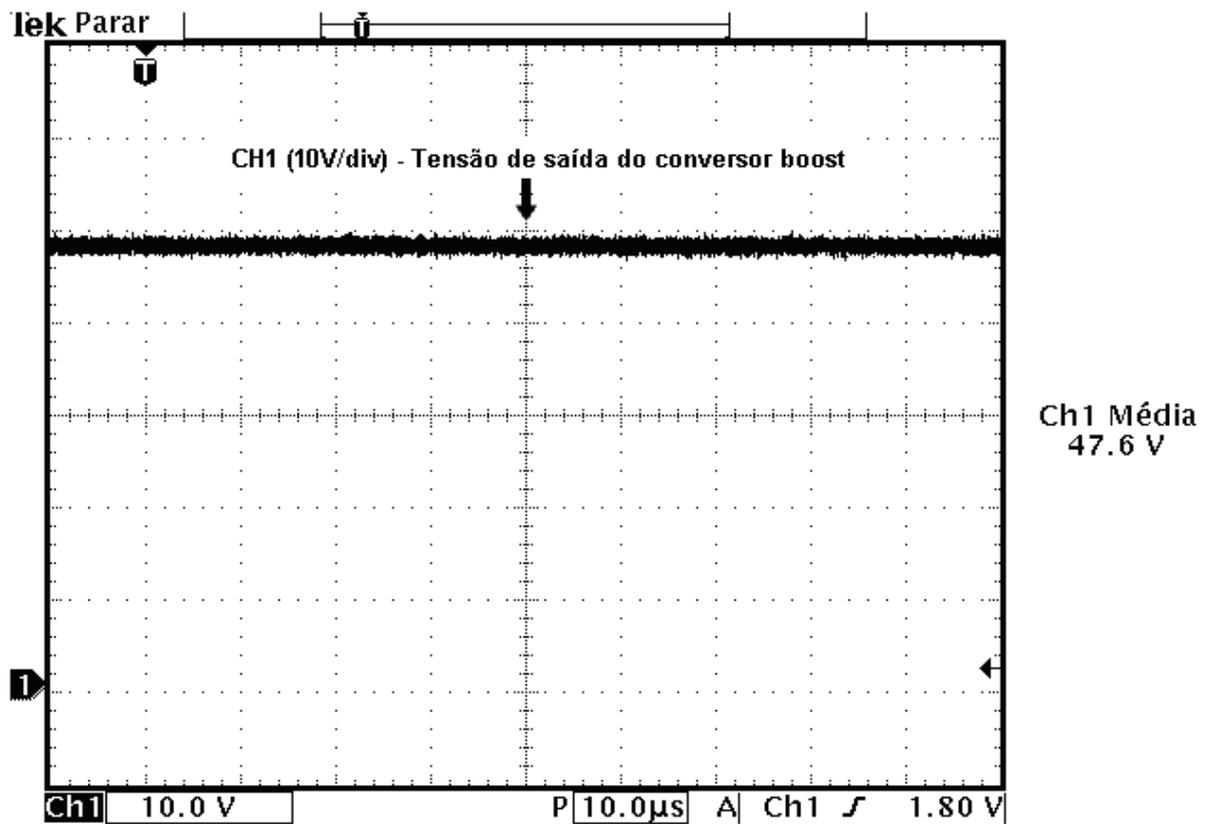


FIGURA 43 – Tensão de saída do Boost para razão cíclica de 50%.

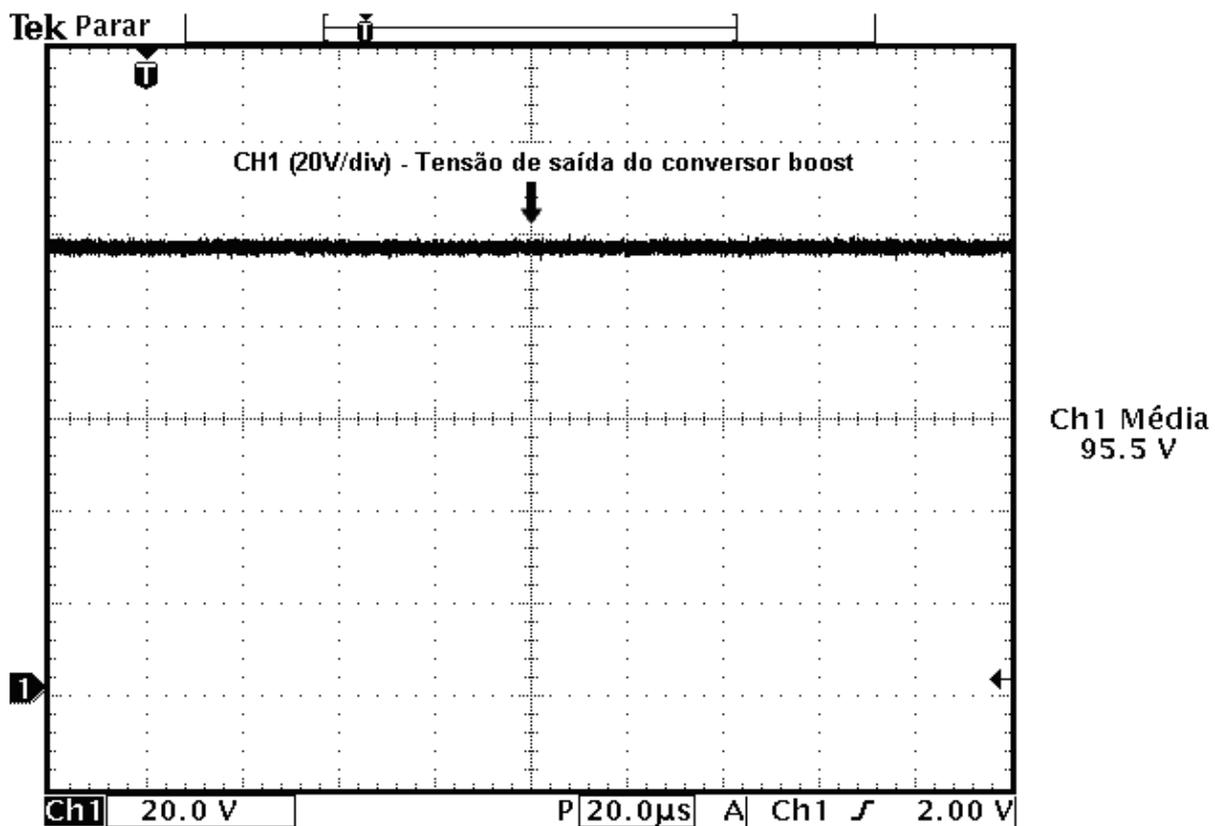


FIGURA 44 - Tensão de saída do Boost para razão cíclica de 76%.

Apresenta-se na FIGURA 45, o sinal PWM_BOOST com razão cíclica de 76%, que ocasiona a tensão de saída do conversor em 95,5V.

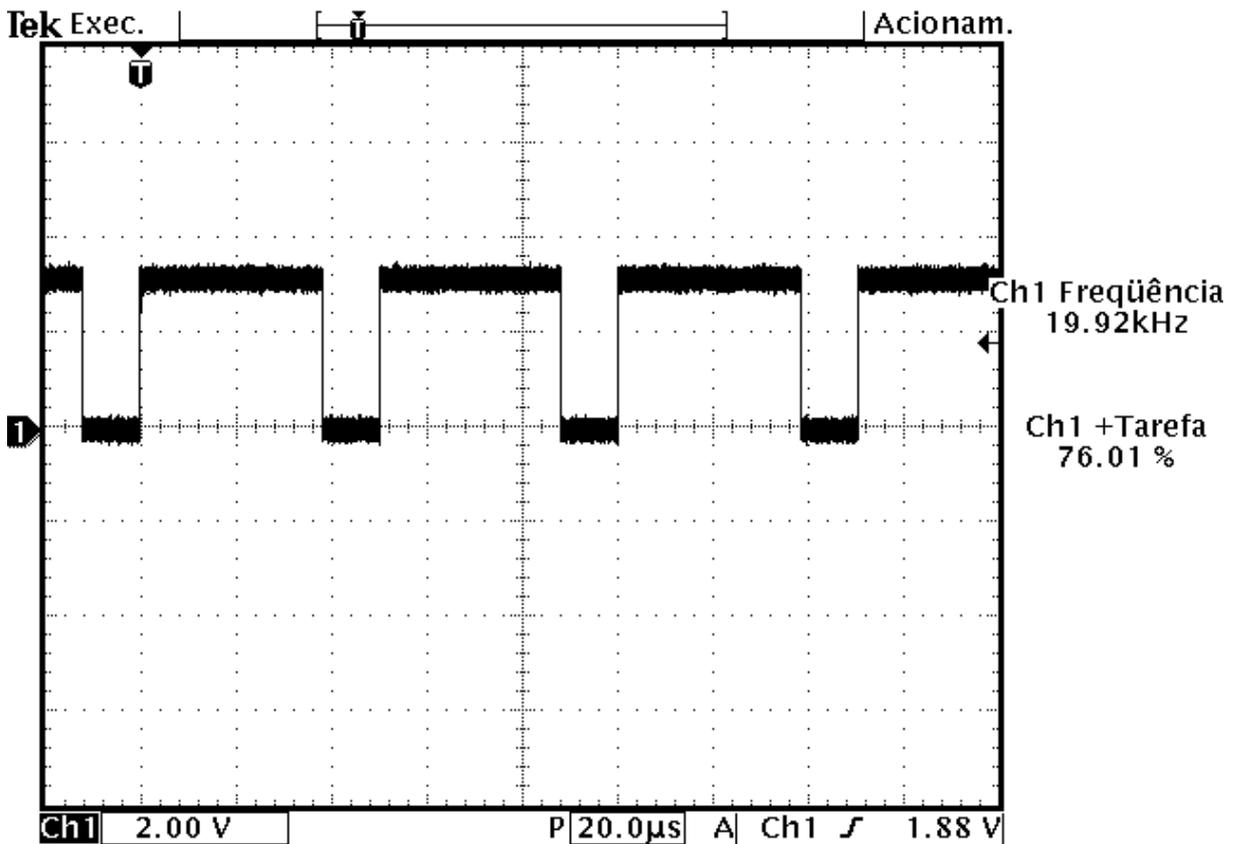


FIGURA 45 – Sinal PWM_BOOST com razão cíclica de 76%.

b) Testes no Inversor CC-CA

Do mesmo modo que o conversor *Boost*, o inversor CC-CA é testado em malha aberta. O valor da razão cíclica é obtido pela multiplicação de um valor de referência com os valores da tabela do seno. Com todos os demais conversores desabilitados pelo programa de teste do inversor, aplicou-se uma tensão no barramento CC de 100V através de uma fonte de alimentação. Na saída do inversor foi inserida a carga nominal do projeto (4 lâmpadas em paralelo de 100W/127V). A tensão de saída do inversor é apresentada na FIGURA 46.

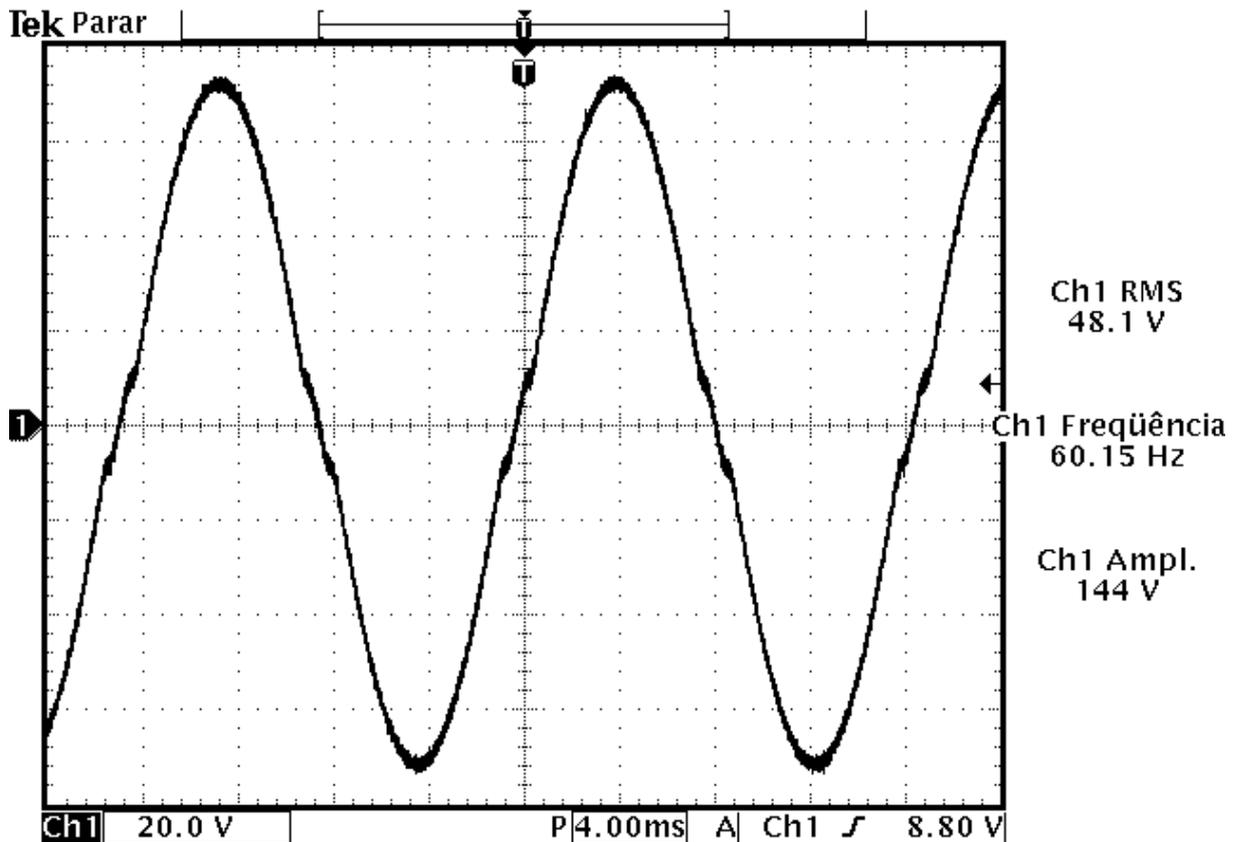


FIGURA 46 – Tensão de Saída do Inversor.

A tensão de saída do inversor não atingiu 54VRMS do trafo de entrada devido a razão cíclica possuir um tempo morto e ocorrer quedas de tensão nas chaves de potência. A frequência obtida é de 60Hz igual a frequência da rede.

c) Testes no PFC

Primeiramente, o PFC foi testado apenas como conversor CC-CC Elevador para verificação do funcionamento da estrutura. Para esse teste, foi alimentado o conversor com uma tensão CC de entrada de 30V e aplicado uma razão cíclica fixa de 50% através de PWM_PFC. Também foi inserida uma carga com resistência de 100Ω nos bornes do barramento CC (saída V100). A tensão de saída obtida foi elevada para 55,6V que está próximo dos 60V respeitando a equação 8 da teoria do conversor *boost*.

Em seguida, foi realizado o teste em malha fechada de corrente conforme a FIGURA 36 do item 6.7. A corrente de entrada apresentou grandes distorções e está sendo objeto de estudos atualmente.

Todos os testes citados na seção 7.2, que fazem a interação do DSP com conversores de potência, validam o funcionamento do hardware projetado, as conexões entre

DSP e UPS e ainda as programações de testes realizadas. A FIGURA 47 apresenta a foto do protótipo contendo todas as partes envolvidas no sistema completo.

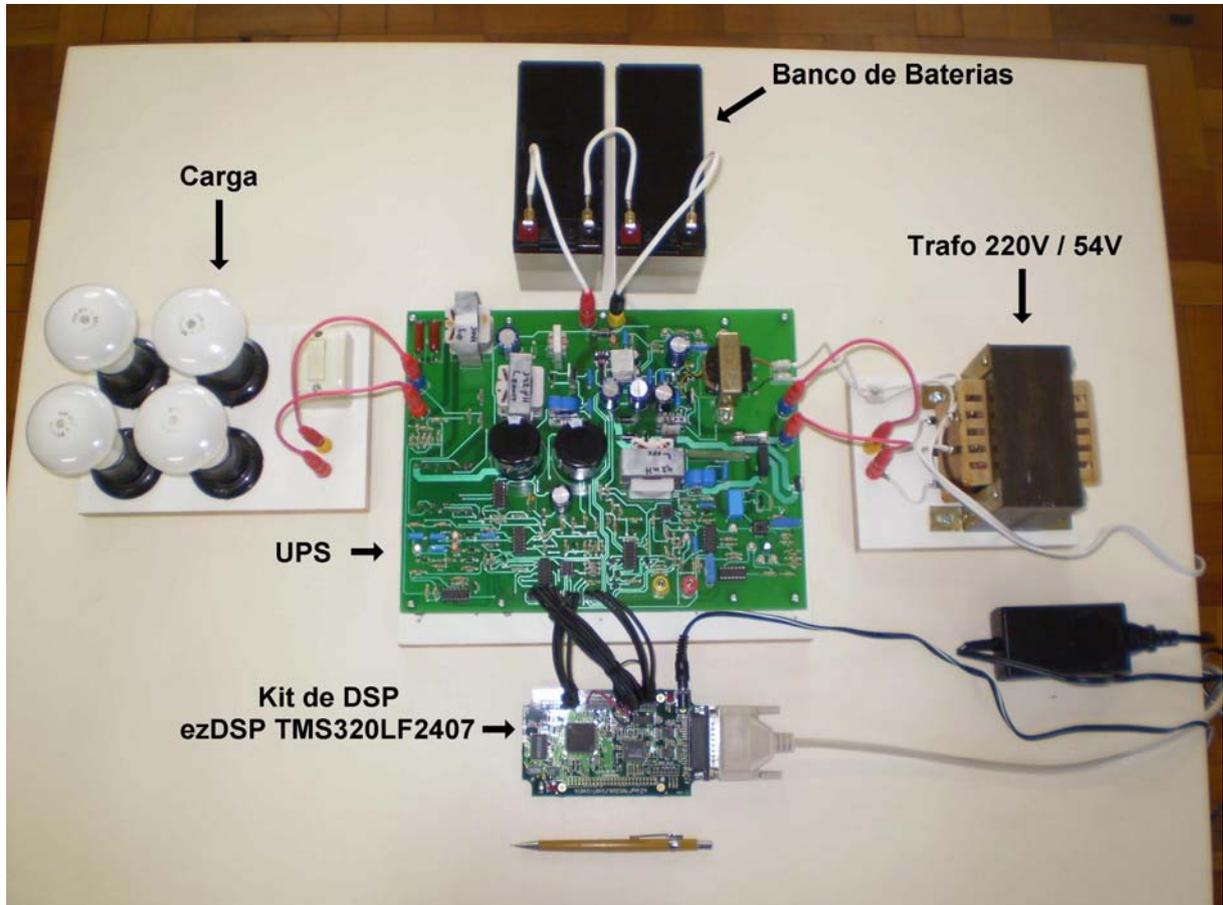


FIGURA 47 – Protótipo.

8 CONSIDERAÇÕES FINAIS

Os kits de DSP, ezDSP TMS320LF2407, adquiridos pelo CEFET/SC têm a finalidade de servir de apoio no aprendizado dos processadores de sinais digitais. A capacidade de processamento de cálculos do DSP é de grande importância no controle de sistemas eletrônicos.

Nas aulas práticas, verificou-se a viabilidade de ampliar a utilização da capacidade dos kits de DSP. Para utilização das potencialidades desse equipamento, havia a necessidade do desenvolvimento de um sistema eletrônico que possuísse estruturas controláveis pelo DSP. A UPS, por possuir essas estruturas, foi o projeto escolhido para realização do trabalho de conclusão de curso.

Nos dois primeiros capítulos foi apresentada uma visão geral do projeto e os objetivos que se desejava alcançar.

O terceiro capítulo foi marcado com a abordagem dos tipos existentes de UPS com suas respectivas características. A escolha do tipo de sistema partiu da referência do trabalho que foi o *Application Report* da Texas Instruments. Mesmo assim, muitas alterações nos circuitos foram efetuadas.

O quarto capítulo traz o funcionamento da UPS com diagramas de blocos, as conexões entre os conversores estáticos e a função de seus componentes. Houve modificações nas estruturas conversoras com relação ao que foi apresentado pela referência da Texas Instruments. Foram utilizadas algumas estruturas que também seriam construídas no projeto de bolsa de pesquisa facilitando o entendimento e a implementação. Neste capítulo também, apresentaram-se o estudo das estruturas conversoras de potência e a verificação do dimensionamento de seus componentes.

Em seguida, no quinto capítulo, é detalhado o funcionamento de cada circuito que compõe a UPS. Além disso, os apêndices demonstram o esquema elétrico e o layout completo do projeto.

No sexto capítulo foi apresentada toda parte de programação desenvolvida para UPS e um detalhamento de toda configuração efetuada no DSP. A programação completa da UPS não foi concluída, em que os controladores digitais operam em malha fechada. Porém, obtiveram-se as programações de testes de funcionamento em malha aberta para os conversores *boost*, inversor CC-CA e PFC. Esse último foi testado como conversor *boost* em malha aberta e como PFC em malha fechada de corrente e em malha aberta de tensão. Houve

grandes distorções na corrente de entrada no teste como PFC e atualmente está sendo objeto de estudos. Foi desenvolvido um fluxograma geral que apresenta como a UPS deve funcionar, apresentando as seqüências dos eventos. Isso possibilita futuramente a implementação de todos os controladores atuando simultaneamente. Além disso, muitas rotinas foram implementadas e testadas como as de sincronismo, cálculo da média de tensão e de proteção contra funcionamento indesejado. Essas rotinas, as configurações do DSP completas e as programações de testes facilitam o desenvolvimento de outros programas. Os acadêmicos poderão utilizar-se desses programas na implementação dos controladores que serão projetados.

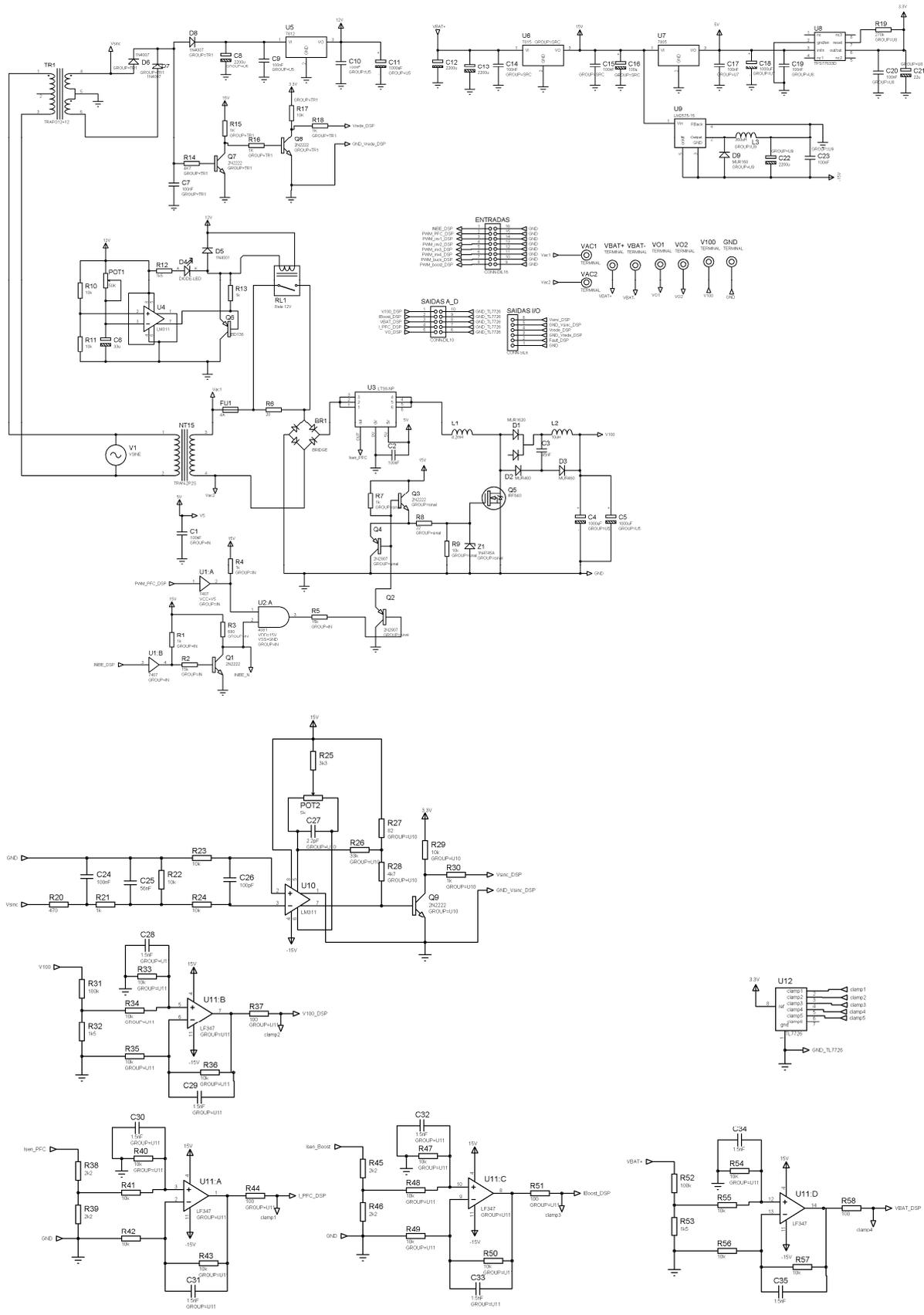
Uma constatação importante a ser relatada é a capacidade que o DSP tem para processar a programação. No programa de testes do PFC em malha fechada de corrente que contém o cálculo do controlador além de outras rotinas, o processador realizou toda programação em $10,75\mu\text{s}$. Como a frequência de comutação das chaves dos conversores possui um período de $50,2\mu\text{s}$, acredita-se que o DSP será capaz de processar a programação em um intervalo menor que esse período, mesmo com a inserção de todos os controladores atuando simultaneamente.

E, finalizando o trabalho, foram apresentados todos os testes realizados. Inicialmente foi verificado o funcionamento das fontes auxiliares, do circuito de sincronismo, da detecção de rede e do circuito de pré-carga. Com essa parte em funcionamento, os testes seguintes executaram o acionamento dos conversores de forma individual. Desta forma, verificou-se a interação do DSP com a UPS. Neste ponto do trabalho, ocorreu a validação do funcionamento do sistema.

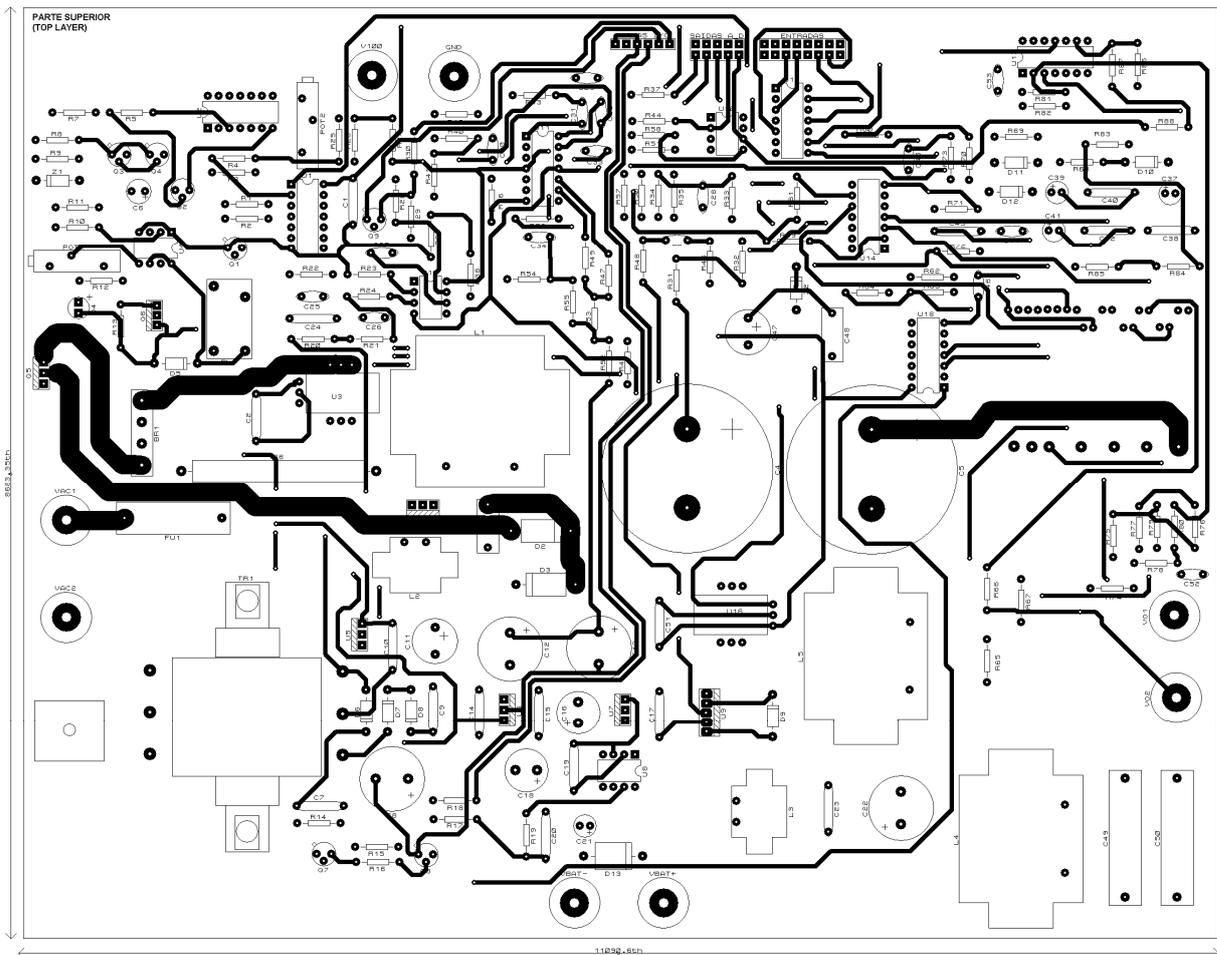
Foram encontrados problemas no hardware como o ruído gerado pela fonte de -15V e também com a lógica INIBE que quando todos os CI's 4081 (lógica E) para o bloqueio das chaves estão juntos na placa da UPS, o nível de tensão na entrada de um deles não corresponde com a tensão desejada. Essas correções são sugeridas para trabalhos futuros. Outra dificuldade encontrada para realização total do projeto foi o dimensionamento do tempo para sua implementação. Por ser um projeto que abrange muitas áreas de conhecimento, foi necessário reduzir alguns estudos e desenvolver os testes até o ponto limite de entrega do trabalho.

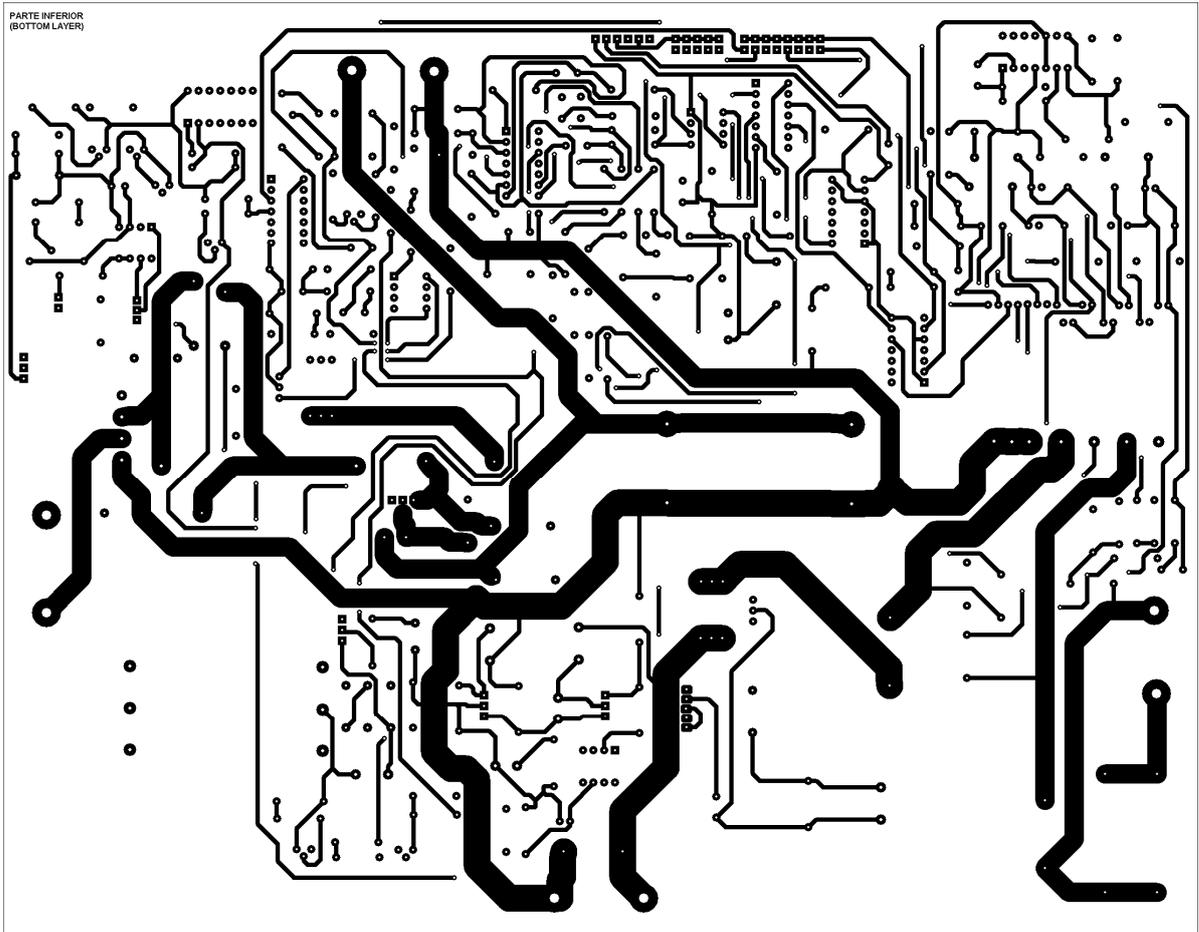
APÊNDICES

APÊNDICE A – Esquemático do Hardware da UPS



APÊNDICE B – Layout do Hardware da UPS





APÊNDICE C – Pinagem dos Conectores do Kit ezDSP e da UPS

CONEXÕES ENTRE KIT EZDSP TMS320LF2407 E UPS

*****CONECTORES DO KIT EZDSP TMS320LF2407*****

Conector P2 - PWM's + I/O's

2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32	34	36	38	40
1	3	5	7	9	11	13	15	17	19	21	23	25	27	29	31	33	35	37	39

Pino 3: Fault

Pino 5: Vrede

Pino 7: Vsinc

Pino 9: PWM BUCK

Pino 10: PWM BOOST

Pino 11: PWM INV3

Pino 12: PWM INV1

Pino 13: PWM INV2

Pino 14: PWM INV4

Pino 15: PWM PFC

Pino 21: INIBE

Conector P1 – A/D

2	4	6	8	10	12	14	16	18	20
1	3	5	7	9	11	13	15	17	19

Pino 2: V100

Pino 4: IBoost

Pino 6: VBAT

Pino 8: IPFC

Pino 10: VO

*****CONECTORES DA UPS*****

Conector Saídas I/O

1	2	3	4	5	6
---	---	---	---	---	---

Pinos 1,3,5: GND

Pino 2: Fault

Pino 4: Vrede

Pino 6: Vsinc

Conector Saídas A/D

10	9	8	7	6
1	2	3	4	5

Pinos 10,9,8,7,6: GND

Pino 1: V100

Pino 2: IBoost

Pino 3: VBAT

Pino 4: IPFC

Pino 5: VO

Conector Entradas

16	15	14	13	12	11	10	9
1	2	3	4	5	6	7	8

Pinos 16,15,14,13,12,11,10,9: GND

Pino 1: INIBE

Pino 2: PWM PFC

Pino 3: PWM INV1

Pino 4: PWM INV2

Pino 5: PWM INV3

Pino 6: PWM INV4

Pino 7: PWM BUCK

Pino 8: PWM BOOST

APÊNDICE D – Principais Configurações e Rotinas de Programação

```

;~~~~~
Inicialização
;~~~~~
; desabilita wachdog

LDP #DP_PF1 ;set data page
SPLK #11101000b, WDCR

; configura os registros de controle

LDP #DP_PF1 ;set data page
SPLK #000000001111101b, SCSR1
SPLK #000000000001111b, SCSR2

;~~~~~
;Set wait states for external memory interface on eZdsp(TM)
LF2407
;~~~~~
LDP #temp ;set data page
SPLK #0000000001000000b, temp
OUT temp, WSGR

;~~~~~
;Setup the software stack
;~~~~~
LAR AR1, #stk ;AR1 is stack pointer
MAR *, AR1 ;ARP = AR1

;~~~~~
;Setup the core interrupts
;~~~~~
LDP #0h ;set data page
SPLK #111111b, IFR ;clear any pending interrupts
SPLK #000001b, IMR ;enable desired interrupts (nível 1
AD)

;~~~~~
; Configuração dos pinos de I/O
;~~~~~
; Escolha das funções dos pinos

LDP #DP_PF2 ;set data page
SPLK #000111111000000b, MCRA
* bit 12 1: T1PWM - PFC
* bit 11 1: PWM6 - Inv4
* bit 10 1: PWM5 - Inv2
* bit 9 1: PWM4 - Inv1
* bit 8 1: PWM3 - Inv3
* bit 7 1: PWM2 - Boost
* bit 6 1: PWM1 - Buck
* bit 4 0: IOPA4 - Vsinc
* bit 2 0: IOPA2 - Vrede
* bit 0 0: IOPA0 - Fault

SPLK #00000000000000b, MCRB

LDP #DP_PF2
SPLK #00000000000000b, PADATDIR
* bit 4 0: IOPA4 - Vsinc - Input
* bit 2 0: IOPA2 - Vrede - Input
* bit 0 0: IOPA0 - Fault - Input

LDP #DP_PF2
SPLK #000000010000001b, PCDATDIR
* bit 0 1: IOPC0 - Inibe - Output ;Inibe PWM's

;~~~~~
; Configura o ADC
;~~~~~
LDP #DP_PF2 ;set data page
SPLK #01000000000000b, ADCTRL1
SPLK #000000000000100b, MAX_CONV
SPLK #001100100001000b, CHSELSEQ1

SPLK #000000000000100b, CHSELSEQ2
SPLK #001000000001000b, ADCTRL1
SPLK #0100011100000110b, ADCTRL2

;~~~~~
; Configuração do GP Timer 1 e Full Compare para gerar
PWM's
;~~~~~
LDP #DP_EVA ;set data page
SPLK #0000h, T1CON ;disable timer 1
SPLK #0000h, T1CNT ;clear timer 1 counter
SPLK #pwmper, T1PR ;setup timer 1 period
SPLK #0000h, DBTCONA ;
SPLK #0, T1CMPR ;set T1PWM duty cycle
SPLK #0, CMPR1 ;set PWM1 and PWM2 duty cycle
SPLK #0, CMPR2 ;set PWM3 and 4 duty cycle
SPLK #0, CMPR3 ;set PWM5 and 6 duty cycle

; configuração GPTIMER compare

SPLK #0000000011000001b, GPTCONA

; configuração full compare 1

SPLK #0000011001100101b, ACTRA ;PWM1,2 - ativo baixo
PWM3,5 - ativo alto | PWM4,6 - ativo baixo
SPLK #101000100000000b, COMCONA ;configure
COMCON
SPLK #0000101111001100b, DBTCONA ;
SPLK #1000100001000110b, T1CON ;init T1CON register

;~~~~~
; Setup the event manager interrupts
;~~~~~
LDP #DP_EVA ;set data page
SPLK #0FFFFh, EVAIFRA ;clear all flags EVA group A
interrupts
SPLK #0FFFFh, EVAIFRB ;clear all flags EVA group B
interrupts
SPLK #0FFFFh, EVAIFRC ;clear all flags EVA group C
interrupts
SPLK #00000h, EVAIMRA ;enabled desired EVA group A
interrupts
SPLK #00000h, EVAIMRB ;enabled desired EVA group B
interrupts
SPLK #00000h, EVAIMRC ;enabled desired EVA group C
interrupts

LDP #DP_EVB ;set data page
SPLK #0FFFFh, EVBIFRA ;clear all EVB group A interrupts
SPLK #0FFFFh, EVBIFRB ;clear all EVB group B interrupts
SPLK #0FFFFh, EVBIFRC ;clear all EVB group C interrupts
SPLK #00000h, EVBIMRA ;enabled desired EVB group A
interrupts
SPLK #00000h, EVBIMRB ;enabled desired EVB group B
interrupts
SPLK #00000h, EVBIMRC ;enabled desired EVB group C
interrupts

;~~~~~
; Enable global interrupts
;~~~~~
CLRC INTM ;enable global interrupts

;~~~~~
; Main loop
;~~~~~
loop: NOP
B loop ;branch to loop

```

```

*****
* GENERAL INTERRUPT SERVICE
ROUTINES *
*****
;~~~~~
;Rotina para o tratamento de interrupção do ADC
;~~~~~
adc_isr:

; Armazena resultado das conversões A/D

LACC #0
LDP #DP_PF2
LACC RESULT0,15 ;armazena V100
LDP #V100
SACH V100
LACC #0
LDP #DP_PF2
LACC RESULT1,15 ;armazena IBoost
LDP #IBOOST
SACH IBOOST
LACC #0
LDP #DP_PF2
LACC RESULT2,15 ;armazena VBat
LDP #VBAT
SACH VBAT
LACC #0
LDP #DP_PF2
LACC RESULT3,15 ;armazena IPFC
LDP #IPFC
SACH IPFC
LACC #0
LDP #DP_PF2
LACC RESULT4,15 ;armazena VO
LDP #VO
SACH VO

;~~~~~
; Teste de V100MAX
;~~~~~

MAR *,AR4
LDP #V100
LAR AR4,V100
LDP #V100MAX
LAR AR0,V100MAX
CMPR 2
BCND tsinc, NTC ;Se VO>VOMAX desabilita
PWM's ; se não, salta para tsinc
LDP #DP_EVA
SPLK #0,ACTRA
SPLK #0000000011000000b, GPTCONA
B final
tsinc:

;~~~~~
; Teste de Sincronismo
;~~~~~

LDP #DP_PF2 ;set data page
LACC PADATDIR ;ACC = PADATDIR
RPT #3 ;4 bits a direita
ROR
AND #0000000000000001b ;apenas o bit desejado
MAR *, AR4 ;ar4 é o atual
LDP #Vsinc ;set data page
SACL Vsinc ;armazena Vsinc
LAR AR4, Vsinc ;carrega ar4 com o valor Vsinc
LDP #Vsinc_ant ;set data page
LAR AR0, Vsinc_ant ;carrega ar0 com Vsinc_ant
CMPR 2
;compara se AR4>AR0 (Vsinc>Vsinc_ant)
BCND segue, NTC ;pula para segue se
AR4<=AR0 (Vsinc<=Vsinc_ant)
SPLK TABELA,p_tabela ;Inicia ponteiro da tabela
segue: LDP #Vsinc

```

```

LACC Vsinc
SACL Vsinc_ant ;Faz Vsinc_ant = Vsinc

;~~~~~
; Cálculo da Média das Tensões V100 E VBAT
;~~~~~

;Média da tensão V100

SETC SXM ;modo extensão de sinal
SPM 1
LACC #0
MPY #0
LDP #V100
LT V100 ;armazena V100 em T
LDP #Kmed
MPY Kmed ;Multiplica 1/166 x V100
APAC ;Coloca produto no acumulador
LDP #soma_V100 ;
ADD soma_V100,16 ;soma produto com nova parcela
SACH soma_V100 ;armazena em soma_V100
nova parcela da média

;Média da tensão VBAT

SETC SXM ;modo extensão de sinal
SPM 1
LACC #0
MPY #0
LDP #VBAT
LT VBAT ;armazena VBAT em T
LDP #Kmed
MPY Kmed ;Multiplica 1/166 x VBAT
APAC ;Coloca produto no acumulador
LDP #soma_VBAT ;
ADD soma_VBAT,16 ;soma produto com nova parcela
SACH soma_VBAT ;armazena em soma_VBAT nova
parcela da média

;Incrementa Contagem

LDP #contagem
LAR AR4,contagem
MAR *+ ;incrementa AR4
SAR AR4,contagem ;AR4=contagem

;Teste de início e fim de contagem

LAR AR0, #1 ;carrega ar0 com 1
CMPR 0 ;compara se AR4=AR0 (contagem=1)
BCND jump1, TC ;se sim pula para jump1 e faz
V100MED=soma_V100

LAR AR0, #167 ;carrega ar0 com 167
CMPR 0 ;compara se AR4=AR0 (contagem=167)
BCND jump2, NTC ;se não pula para jump2
jump1:
LDP #soma_V100 ;Atualização V100
LACC soma_V100
LDP #V100MED
SACL V100MED ;valor parcial final da
média=V100MED
LDP #soma_V100 ;reseta valor parcial da média
SPLK #0,soma_V100
LDP #soma_VBAT ;Atualização VBAT
LACC soma_VBAT
LDP #VBATMED
SACL VBATMED ;valor parcial final da
média=VBATMED
LDP #soma_VBAT ;reseta valor parcial da
média
SPLK #0,soma_VBAT
jump2:

```

```

;~~~~~;
Cálculo do controle do Inversor - Razão Cíclica do Inversor
;~~~~~;
SETC SXM
SPM 1
MPY #0 ;zera produto
LACC #0 ;zera o acumulador
MAR *, AR4 ;AR4 é o atual
LDP #p_tabela ;set data page
LAR AR4,p_tabela ;carrega ponteiro da tabela
LT * ;copia p/ Treg
LDP #VOREF ;set data page
MPY VOREF ;multiplica VOREF*seno
APAC ;adiciona ao acumulador
LDP #meio
ADD meio,16 ;meio é um valor de offset para que a
senoide do inversor seja comparada com valores de contagens
positivas
LDP #DINV
SACH DINV
;~~~~~;
Detecção da Rede
;~~~~~;
LDP #DP_PF2 ;set data page
LACC PADATDIR ;ACC = PADATDIR
RPT #1 ;2 bits a direita
ROR
AND #0000000000000001b ;Testa apenas o bit
LDP #Vrede ;set data page
SACL Vrede ;Se Rede está presente, Vrede=1
LAR AR0,#1
LDP #Vrede
LAR AR4,Vrede
CMPR 0
BCND rede,TC ;Se Vrede=1 pula para modo rede
;se não...
B bat ;salta para modo bateria (bat)
rede:
;~~~~~;
; Teste de V100MIN
;~~~~~;
MAR *,AR4
LDP #V100
LAR AR4,V100
LDP #V100MIN
LAR AR0,V100MIN
CMPR 2
BCND offbst,TC ;Se V100>V100MIN salta para offbst
LDP #DP_EVA
SPLK #0,ACTRA
SPLK #000000011000000b, GPTCONA
B final
offbst:
;~~~~~;
; Desativa Boost
;~~~~~;
LDP #DP_EVA
SPLK #0000011001100001b, ACTRA ; Desativa Boost
(PWM2) e configura demais PWM's
;~~~~~;
; Cálculo da malha de corrente do PFC
;~~~~~;
;Retirar off-set da corrente PFC
LDP #IPFC ;
SPLK #14398,IPFC ;valor suposto de corrente =offset+4A
SETC SXM ;modo extensão de sinal
SETC OVM
SPM 1
LACC #0
LDP #IPFC
LACC IPFC

```

```

LDP #offset
SUB offset ;retira offset da corrente PFC
LDP #IPFC
SACL IPFC ;armazena IPFC

```

;Cálculo do IPREFR (Referência da corrente de PFC retificada)

```

SETC SXM
SETC OVM
SPM 1
MPY #0 ;zera produto
LACC #0 ;zera o acumulador
MAR *, AR4 ;AR4 é o atual
LDP #p_tabela ;set data page
LAR AR4,p_tabela ;carrega ponteiro da tabela
LT *
LDP #IPREF ;set data page
MPY IPREF ;multiplica IPREF*seno
APAC ;adiciona ao acumulador
ABS ;retifica
LDP #IPREFR
SACH IPREFR ;armazena referencia retificada

```

;Cálculo do ErroIP - Erro da corrente do PFC

```

LACC #0 ;zera o acumulador
LDP #IPREFR
LACC IPREFR,16 ;armazena referencia da
corrente do PFC retificada
LDP #IPFC
SUB IPFC,16
LDP #ErroIP
SACH ErroIP ;armazena o erro de IP

```

;Cálculo de DPP (Razão cíclica do PFC parcela proporcional)

```

SETC SXM
SETC OVM
SPM 1
LACC #0 ;zera o acumulador
LDP #KIP1 ;Coeficiente = 12,17
LT KIP1
MPY ErroIP ;Multiplica ErroIP x KIP1
RPT #12 ;Repete 13 vezes o APAC:
[13*(ErroIP x KIP1)]
APAC
LDP #DPP
SACH DPP ;Razão Cíclica PFC proporcional

```

;Cálculo de DPI (Razão cíclica do PFC parcela integral)

```

SETC SXM
SETC OVM
SPM 1
LACC #0
LDP #KIP2 ;Coeficiente = 2,54
LT KIP2
MPY ErroIP ;Multiplica ErroIP x KIP2
RPT #2 ;Repete 3 vezes o APAC: [3*(ErroIP x
KIP2)]
APAC
LDP #DPIANT
ADD DPIANT,16 ; Soma DPIANT + ACC
LDP #DPI
SACH DPI ;Armazena DPI (ACC=DPI= DPIANT +
2,54*ErroIP)

```

; Atualiza DPIANT = DPI

```

LDP #DPIANT
SACH DPIANT ;ACC=DPI -> DPIANT=ACC

```

; Razão cíclica total - DPFC

```

LDP #DPP
ADD DPP,16 ;ACC=DPI+DPP

```

```

LDP #DPFC .word 10361 ;0.31621 18 18
SACHDPFC ;DPFC=ACC(DPI+PPP) .word 10948 ;0.3341 19 20
;~~~~~ .word 11530 ;0.35188 20 21
; Atualiza PWM PFC, Buck e Inversor .word 12109 ;0.36953 21 22
;~~~~~ .word 12683 ;0.38705 22 23
;~~~~~ .word 13252 ;0.40443 23 24
;~~~~~ .word 13817 ;0.42167 24 25
;~~~~~ .word 14377 ;0.43875 25 26
LDP #DPFC ;Atualização dos PWM's PFC, Buck e .word 14932 ;0.45568 26 27
Inversor .word 15481 ;0.47244 27 28
LACC DPFC .word 16025 ;0.48903 28 29
LDP #DP_EVA .word 16563 ;0.50545 29 30
SACL TICMPR ;DPFC - T1PWM - TICMPR .word 17095 ;0.52169 30 31
LDP #DBUCK .word 17621 ;0.53774 31 33
LACC DBUCK .word 18140 ;0.5536 32 34
LDP #DP_EVA .word 18654 ;0.56926 33 35
SACL CMPR1 ;DBUCK - PWM1 - CMPR1 .word 19160 ;0.58472 34 36
;~~~~~ .word 19660 ;0.59997 35 37
LDP #DINV .word 20152 ;0.615 36 38
LACC DINV .word 20638 ;0.62981 37 39
LDP #DP_EVA .word 21116 ;0.6444 38 40
SACL CMPR2 ;PWM4(inv1) e PWM3 (inv3) - CMPR2 .word 21586 ;0.65875 39 41
SACL CMPR3 ;PWM6(inv4) e PWM5 (inv2) - CMPR3 .word 22049 ;0.67287 40 42
;~~~~~ .word 22503 ;0.68675 41 43
; Tratamento da Tabela .word 22950 ;0.70038 42 44
;~~~~~ .word 23389 ;0.71377 43 46
; Incrementa ponteiro da tabela .word 23819 ;0.72689 44 47
;~~~~~ .word 24240 ;0.73976 45 48
;~~~~~ .word 24653 ;0.75236 46 49
;~~~~~ .word 25057 ;0.76469 47 50
;~~~~~ .word 25453 ;0.77675 48 51
;~~~~~ .word 25838 ;0.78853 49 52
;~~~~~ .word 26215 ;0.80003 50 53
;~~~~~ .word 26583 ;0.81124 51 54
;~~~~~ .word 26940 ;0.82216 52 55
;~~~~~ .word 27289 ;0.83278 53 56
;~~~~~ .word 27627 ;0.84311 54 57
;~~~~~ .word 27956 ;0.85313 55 59
;~~~~~ .word 28274 ;0.86285 56 60
;~~~~~ .word 28582 ;0.87226 57 61
;~~~~~ .word 28881 ;0.88136 58 62
;~~~~~ .word 29168 ;0.89015 59 63
;~~~~~ .word 29446 ;0.89861 60 64
;~~~~~ .word 29712 ;0.90675 61 65
;~~~~~ .word 29969 ;0.91457 62 66
;~~~~~ .word 30214 ;0.92206 63 67
;~~~~~ .word 30449 ;0.92922 64 68
;~~~~~ .word 30672 ;0.93604 65 69
;~~~~~ .word 30885 ;0.94254 66 70
;~~~~~ .word 31087 ;0.94869 67 72
;~~~~~ .word 31277 ;0.9545 68 73
;~~~~~ .word 31457 ;0.95998 69 74
;~~~~~ .word 31625 ;0.9651 70 75
;~~~~~ .word 31781 ;0.96989 71 76
;~~~~~ .word 31927 ;0.97432 72 77
;~~~~~ .word 32061 ;0.97841 73 78
;~~~~~ .word 32183 ;0.98215 74 79
;~~~~~ .word 32294 ;0.98553 75 80
;~~~~~ .word 32393 ;0.98856 76 81
;~~~~~ .word 32481 ;0.99124 77 82
;~~~~~ .word 32557 ;0.99356 78 83
;~~~~~ .word 32621 ;0.99553 79 85
;~~~~~ .word 32674 ;0.99714 80 86
;~~~~~ .word 32715 ;0.99839 81 87
;~~~~~ .word 32745 ;0.99928 82 88
;~~~~~ .word 32762 ;0.99982 83 89
;~~~~~ .word 32768 ;1 84 90
;~~~~~ .word 32762 ;0.99982 85 91
;~~~~~ .word 32745 ;0.99928 86 92
;~~~~~ .word 32715 ;0.99839 87 93
;~~~~~ .word 32674 ;0.99714 88 94
;~~~~~ .word 32621 ;0.99553 89 95
;~~~~~ .word 32557 ;0.99356 90 97
;~~~~~
.sect "dados"
; tabela de senos no formato Q15
; tabela seno indice angulo
TABELA .word 0 ;0 1 0
;~~~~~ .word 620 ;0.018924 2 1
;~~~~~ .word 1240 ;0.037841 3 2
;~~~~~ .word 1859 ;0.056745 4 3
;~~~~~ .word 2478 ;0.075629 5 4
;~~~~~ .word 3096 ;0.094485 6 5
;~~~~~ .word 3713 ;0.11331 7 7
;~~~~~ .word 4328 ;0.13209 8 8
;~~~~~ .word 4942 ;0.15082 9 9
;~~~~~ .word 5554 ;0.1695 10 10
;~~~~~ .word 6164 ;0.18812 11 11
;~~~~~ .word 6772 ;0.20668 12 12
;~~~~~ .word 7378 ;0.22516 13 13
;~~~~~ .word 7981 ;0.24355 14 14
;~~~~~ .word 8581 ;0.26186 15 15
;~~~~~ .word 9178 ;0.28008 16 16
;~~~~~ .word 9771 ;0.2982 17 17

```

.word 32481	;0.99124	91	98	.word 65537	;0	167	180
.word 32393	;0.98856	92	99	.word 64917	;-0.018924	168	181
.word 32294	;0.98553	93	100	.word 64297	;-0.037841	169	182
.word 32183	;0.98215	94	101	.word 63678	;-0.056745	170	183
.word 32061	;0.97841	95	102	.word 63059	;-0.075629	171	184
.word 31927	;0.97432	96	103	.word 62441	;-0.094485	172	185
.word 31781	;0.96989	97	104	.word 61824	;-0.11331	173	187
.word 31625	;0.9651	98	105	.word 61209	;-0.13209	174	188
.word 31457	;0.95998	99	106	.word 60595	;-0.15082	175	189
.word 31277	;0.9545	100	107	.word 59983	;-0.1695	176	190
.word 31087	;0.94869	101	108	.word 59373	;-0.18812	177	191
.word 30885	;0.94254	102	110	.word 58765	;-0.20668	178	192
.word 30672	;0.93604	103	111	.word 58159	;-0.22516	179	193
.word 30449	;0.92922	104	112	.word 57556	;-0.24355	180	194
.word 30214	;0.92206	105	113	.word 56956	;-0.26186	181	195
.word 29969	;0.91457	106	114	.word 56359	;-0.28008	182	196
.word 29712	;0.90675	107	115	.word 55766	;-0.2982	183	197
.word 29446	;0.89861	108	116	.word 55176	;-0.31621	184	198
.word 29168	;0.89015	109	117	.word 54589	;-0.3341	185	200
.word 28881	;0.88136	110	118	.word 54007	;-0.35188	186	201
.word 28582	;0.87226	111	119	.word 53428	;-0.36953	187	202
.word 28274	;0.86285	112	120	.word 52854	;-0.38705	188	203
.word 27956	;0.85313	113	121	.word 52285	;-0.40443	189	204
.word 27627	;0.84311	114	123	.word 51720	;-0.42167	190	205
.word 27289	;0.83278	115	124	.word 51160	;-0.43875	191	206
.word 26940	;0.82216	116	125	.word 50605	;-0.45568	192	207
.word 26583	;0.81124	117	126	.word 50056	;-0.47244	193	208
.word 26215	;0.80003	118	127	.word 49512	;-0.48903	194	209
.word 25838	;0.78853	119	128	.word 48974	;-0.50545	195	210
.word 25453	;0.77675	120	129	.word 48442	;-0.52169	196	211
.word 25057	;0.76469	121	130	.word 47916	;-0.53774	197	213
.word 24653	;0.75236	122	131	.word 47397	;-0.5536	198	214
.word 24240	;0.73976	123	132	.word 46883	;-0.56926	199	215
.word 23819	;0.72689	124	133	.word 46377	;-0.58472	200	216
.word 23389	;0.71377	125	134	.word 45877	;-0.59997	201	217
.word 22950	;0.70038	126	136	.word 45385	;-0.615	202	218
.word 22503	;0.68675	127	137	.word 44899	;-0.62981	203	219
.word 22049	;0.67287	128	138	.word 44421	;-0.6444	204	220
.word 21586	;0.65875	129	139	.word 43951	;-0.65875	205	221
.word 21116	;0.6444	130	140	.word 43488	;-0.67287	206	222
.word 20638	;0.62981	131	141	.word 43034	;-0.68675	207	223
.word 20152	;0.615	132	142	.word 42587	;-0.70038	208	224
.word 19660	;0.59997	133	143	.word 42148	;-0.71377	209	226
.word 19160	;0.58472	134	144	.word 41718	;-0.72689	210	227
.word 18654	;0.56926	135	145	.word 41297	;-0.73976	211	228
.word 18140	;0.5536	136	146	.word 40884	;-0.75236	212	229
.word 17621	;0.53774	137	147	.word 40480	;-0.76469	213	230
.word 17095	;0.52169	138	149	.word 40084	;-0.77675	214	231
.word 16563	;0.50545	139	150	.word 39699	;-0.78853	215	232
.word 16025	;0.48903	140	151	.word 39322	;-0.80003	216	233
.word 15481	;0.47244	141	152	.word 38954	;-0.81124	217	234
.word 14932	;0.45568	142	153	.word 38597	;-0.82216	218	235
.word 14377	;0.43875	143	154	.word 38248	;-0.83278	219	236
.word 13817	;0.42167	144	155	.word 37910	;-0.84311	220	237
.word 13252	;0.40443	145	156	.word 37581	;-0.85313	221	239
.word 12683	;0.38705	146	157	.word 37263	;-0.86285	222	240
.word 12109	;0.36953	147	158	.word 36955	;-0.87226	223	241
.word 11530	;0.35188	148	159	.word 36656	;-0.88136	224	242
.word 10948	;0.3341	149	160	.word 36369	;-0.89015	225	243
.word 10361	;0.31621	150	162	.word 36091	;-0.89861	226	244
.word 9771	;0.2982	151	163	.word 35825	;-0.90675	227	245
.word 9178	;0.28008	152	164	.word 35568	;-0.91457	228	246
.word 8581	;0.26186	153	165	.word 35323	;-0.92206	229	247
.word 7981	;0.24355	154	166	.word 35088	;-0.92922	230	248
.word 7378	;0.22516	155	167	.word 34865	;-0.93604	231	249
.word 6772	;0.20668	156	168	.word 34652	;-0.94254	232	250
.word 6164	;0.18812	157	169	.word 34450	;-0.94869	233	252
.word 5554	;0.1695	158	170	.word 34260	;-0.9545	234	253
.word 4942	;0.15082	159	171	.word 34080	;-0.95998	235	254
.word 4328	;0.13209	160	172	.word 33912	;-0.9651	236	255
.word 3713	;0.11331	161	173	.word 33756	;-0.96989	237	256
.word 3096	;0.094485	162	175	.word 33610	;-0.97432	238	257
.word 2478	;0.075629	163	176	.word 33476	;-0.97841	239	258
.word 1859	;0.056745	164	177	.word 33354	;-0.98215	240	259
.word 1240	;0.037841	165	178	.word 33243	;-0.98553	241	260
.word 620	;0.018924	166	179	.word 33144	;-0.98856	242	261

.word 33056	;-0.99124	243	262	.word 43034	;-0.68675	293	317
.word 32980	;-0.99356	244	263	.word 43488	;-0.67287	294	318
.word 32916	;-0.99553	245	265	.word 43951	;-0.65875	295	319
.word 32863	;-0.99714	246	266	.word 44421	;-0.6444	296	320
.word 32822	;-0.99839	247	267	.word 44899	;-0.62981	297	321
.word 32792	;-0.99928	248	268	.word 45385	;-0.615	298	322
.word 32775	;-0.99982	249	269	.word 45877	;-0.59997	299	323
.word 32769	;-1	250	270	.word 46377	;-0.58472	300	324
.word 32775	;-0.99982	251	271	.word 46883	;-0.56926	301	325
.word 32792	;-0.99928	252	272	.word 47397	;-0.5536	302	326
.word 32822	;-0.99839	253	273	.word 47916	;-0.53774	303	327
.word 32863	;-0.99714	254	274	.word 48442	;-0.52169	304	329
.word 32916	;-0.99553	255	275	.word 48974	;-0.50545	305	330
.word 32980	;-0.99356	256	277	.word 49512	;-0.48903	306	331
.word 33056	;-0.99124	257	278	.word 50056	;-0.47244	307	332
.word 33144	;-0.98856	258	279	.word 50605	;-0.45568	308	333
.word 33243	;-0.98553	259	280	.word 51160	;-0.43875	309	334
.word 33354	;-0.98215	260	281	.word 51720	;-0.42167	310	335
.word 33476	;-0.97841	261	282	.word 52285	;-0.40443	311	336
.word 33610	;-0.97432	262	283	.word 52854	;-0.38705	312	337
.word 33756	;-0.96989	263	284	.word 53428	;-0.36953	313	338
.word 33912	;-0.9651	264	285	.word 54007	;-0.35188	314	339
.word 34080	;-0.95998	265	286	.word 54589	;-0.3341	315	340
.word 34260	;-0.9545	266	287	.word 55176	;-0.31621	316	342
.word 34450	;-0.94869	267	288	.word 55766	;-0.2982	317	343
.word 34652	;-0.94254	268	290	.word 56359	;-0.28008	318	344
.word 34865	;-0.93604	269	291	.word 56956	;-0.26186	319	345
.word 35088	;-0.92922	270	292	.word 57556	;-0.24355	320	346
.word 35323	;-0.92206	271	293	.word 58159	;-0.22516	321	347
.word 35568	;-0.91457	272	294	.word 58765	;-0.20668	322	348
.word 35825	;-0.90675	273	295	.word 59373	;-0.18812	323	349
.word 36091	;-0.89861	274	296	.word 59983	;-0.1695	324	350
.word 36369	;-0.89015	275	297	.word 60595	;-0.15082	325	351
.word 36656	;-0.88136	276	298	.word 61209	;-0.13209	326	352
.word 36955	;-0.87226	277	299	.word 61824	;-0.11331	327	353
.word 37263	;-0.86285	278	300	.word 62441	;-0.094485	328	355
.word 37581	;-0.85313	279	301	.word 63059	;-0.075629	329	356
.word 37910	;-0.84311	280	303	.word 63678	;-0.056745	330	357
.word 38248	;-0.83278	281	304	.word 64297	;-0.037841	331	358
.word 38597	;-0.82216	282	305	.word 64917	;-0.018924	332	359
.word 38954	;-0.81124	283	306				
.word 39322	;-0.80003	284	307				
.word 39699	;-0.78853	285	308				
.word 40084	;-0.77675	286	309				
.word 40480	;-0.76469	287	310				
.word 40884	;-0.75236	288	311				
.word 41297	;-0.73976	289	312				
.word 41718	;-0.72689	290	313				
.word 42148	;-0.71377	291	314				
.word 42587	;-0.70038	292	316				

BIBLIOGRAFIA COMPLEMENTAR

ESPERANÇA, Carlos Gontarski. **Apostila sobre TMS320x2407: Processador de Sinais Digitais da Texas Instruments.** Florianópolis, 2006.

REFERÊNCIAS

BARBI, Ivo; MARTINS, Denizar Cruz. **Conversores CC-CC Básicos Não-Isolados**. Florianópolis: Edição dos Autores, 2000.

BARBI, Ivo; MARTINS, Denizar Cruz. **Introdução ao Estudo dos Conversores CC-CA**. Florianópolis: Edição dos Autores, 2005.

BARBI, Ivo; SOUZA, Alexandre Ferrari de. **Curso de Retificadores de Alto Fator de Potência**. Florianópolis, 1996.

BATISTA, Flávio Alberto Bardemaker. **Modulação Vetorial Aplicada a Retificadores Trifásicos PWM Unidirecionais**. Florianópolis, 2006. 297 f. Tese de Doutorado em Engenharia Elétrica – INEP, UFSC.

LAZZARIN, Telles Brunelli. **Estudo e Implementação de um Carregador de Baterias com uma Técnica de Avaliação de sua Vida Útil**. Florianópolis, 2006. 227 f. Dissertação de Mestrado em Engenharia Elétrica – INEP, UFSC.

MOHAN, N., UNDELAND, T. M., ROBBINS, W. P. **Power Electronics, Converters, Applications and Design**. Second Edition 1995.

MUSSA, S. A.; **Controle de um Conversor CA-CC Trifásico de Três Níveis com Fator de Potência Unitário Utilizando DSP**. Florianópolis, 2003. Tese de Doutorado em Engenharia Elétrica – INEP, UFSC.

POMÍLIO, J.A. **Apostila Eletrônica de Potência**. Disponível em: <http://www.dsce.fee.unicamp.br/%7Eantenor/elpot.html>. Acesso em julho de 2007.

TEXAS INSTRUMENTS. **Implementing Triple Conversion Single Phase Online UPS Using TMS320C240 (Rev. A). Application Report SPRU589A**. Houston, 1999.

TOMASELI, Luís Cândido. **Controle de um Pré-Regulador com Alto Fator de Potência utilizando o Controlador DSP TMS320F243**. Florianópolis, 2001. 110 f. Dissertação de Mestrado em Engenharia Elétrica – INEP, UFSC.

VILLAÇA, Marco Valério Miorim; RANGEL, Paulo Ricardo Telles. **Eletrônica de Potência**. Apostila. Primeira Edição. Florianópolis, 1996.